

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

009141382 **Image available**

WPI Acc No: 1992-268820/199232

Related WPI Acc No: 1992-284865; 1993-258987; 1993-273120; 1993-303671;
1993-350829; 1994-118632; 1994-167818; 1994-176402; 1994-280096;
1995-043660; 1995-274965; 1995-344735; 1996-159905; 1997-402023;
1997-456965; 1998-031499; 1998-270792; 1998-321880; 1999-130598;
2000-440902; 2002-238193; 2003-246899; 2003-415468; 2003-554214

XRPX Acc No: N92-205588

Flat-panel display fabrication - using pixel arrays which form light
valves or switches fabricated with control electronics in single crystal
thin-film material

Patent Assignee: KOPIN CORP (KOPI-N); DINGLE B (DING-I); FAN J C C (FANJ-I)
; JACOBSEN J (JACO-I); MCCLELLAND R (MCCL-I); ZAVRACKY P M (ZAVR-I)

Inventor: DINGLE B; FAN J C C; JACOBSEN J; MCCLELLAND R; SPITZER M;
ZAVRACKY P M

Number of Countries: 017 Number of Patents: 014

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9212453	A1	19920723	WO 91US9770	A	19911231	199232 B
US 5206749	A	19930427	US 90636602	A	19901231	199318
EP 565588	A1	19931020	WO 91US9770	A	19911231	199342
			EP 92902703	A	19911231	
US 5258320	A	19931102	US 90636602	A	19901231	199345
			US 91801885	A	19911203	
JP 6504139	W	19940512	WO 91US9770	A	19911231	199423
			JP 92502883	A	19911231	
US 5362671	A	19941108	US 90636602	A	19901231	199444
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
US 5528397	A	19960618	US 90636602	A	19901231	199630
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
US 5736768	A	19980407	US 90636602	A	19901231	199821
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
US 6232136	B1	20010515	US 90636602	A	19901231	200129
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	

US 20010019371	A1	20010906	US 90636602	A	19901231	200154
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 2002014375	A	20020118	JP 92502883	A	19911231	200211
			JP 2001158849	A	19911231	
US 6414783	B2	20020702	US 90636602	A	19901231	200248
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 3361325	B2	20030107	JP 92502883	A	19911231	200306
			JP 2001158849	A	19911231	
US 20030057425	A1	20030327	US 90636602	A	19901231	200325
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
			US 2002188342	A	20020701	

Priority Applications (No Type Date): US 90636602 A 19901231; US 91801885 A 19911203; US 91801966 A 19911203; US 9385667 A 19930630; US 94225091 A 19940408; US 94281777 A 19940728; US 95485779 A 19950607; US 9856410 A 19980406; US 2001812611 A 20010320; US 2002188342 A 20020701

Cited Patents: 2.Jnl.Ref; EP 151508; JP 1038727; JP 63055529; US 4266223; US 4727047; US 4883561

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
WO 9212453	A1	86	G02F-001/136	

Designated States (National): JP

Designated States (Regional): AT BE CH DE DK ES FR GB GR IT LU MC NL SE

US 5206749 A 28 G02F-001/1343

EP 565588 A1 E 86 Based on patent WO 9212453

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU MC NL SE

US 5258320 A 21 H01L-021/70 Div ex application US 90636602
Div ex patent US 5206749

JP 6504139 W Based on patent WO 9212453

US 5362671 A 28 H01L-021/20 Div ex application US 90636602
Cont of application US 91801966
Cont of application US 9385667
Div ex patent US 5206749

US 5528397	A	27 H01L-027/01	Cont of application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of patent US 5206749 Cont of patent US 5362671
US 5736768	A	26 H01L-027/01	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397
US 6232136	B1	H01L-021/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768
US 20010019371 A1		G02F-001/1335	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 2002014375 A		24 G02F-001/1368	Div ex application JP 92502883
US 6414783	B2	G02B-026/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 3361325	B2	23 G02F-001/1368	Div ex application JP 92502883

		Previous Publ. patent JP 2002014375
US 20030057425 A1	H01L-033/00	Div ex application US 90636602
		Cont of application US 91801966
		Cont of application US 9385667
		Cont of application US 94225091
		Cont of application US 94281777
		Div ex application US 95485779
		Cont of application US 9856410
		Cont of application US 2001812611
		Div ex patent US 5206749
		Cont of patent US 5362671
		Cont of patent US 5528397
		Div ex patent US 5736768
		Cont of patent US 6232136
		Cont of patent US 6414783

Abstract (Basic): WO 9212453 A

Fabrication of the panel display involves forming a single crystal semiconductor material on a supporting upstrate. An array of transistors and an array of pixel electrodes are formed in or on the single crystal material to form a circuit panel. Each pixel is actuatable by one of the transistors.

A light transmitter material is positioned adjacent to the circuit panel such that an electric field or signal generated by each pixel alters a light transmitting property of the material.

ADVANTAGE - Produces high quality image. h p

Dwg.1A/20

Title Terms: FLAT; PANEL; DISPLAY; FABRICATE; PIXEL; ARRAY; FORM; LIGHT; VALVE; SWITCH; FABRICATE; CONTROL; ELECTRONIC; SINGLE; CRYSTAL; THIN; FILM; MATERIAL

Derwent Class: P81; P85; U14

International Patent Class (Main): G02B-026/00; G02F-001/1335; G02F-001/1343; G02F-001/136; G02F-001/1368; H01L-021/00; H01L-021/20; H01L-021/70; H01L-027/01; H01L-033/00

International Patent Class (Additional): G02F-001/1333; G02F-001/1345; G09C-003/10; H01L-021/44; H01L-021/84; H01L-027/00; H01L-027/12; H01L-029/00; H01L-029/04; H01L-031/0392; H05B-033/12

File Segment: EPI; EngPI

第6部門第2区分

(43)公表日 平成6年(1994)5月12日

(51) Int.Cl.³
 G 0 2 F 1/136
 H 0 5 B 33/12

識別記号 500
 庁内整理番号 9018-2K
 8715-3K

F I

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21)出願番号 特願平4-502883
 (22)出願日 平成3年(1991)12月31日
 (25)翻訳文提出日 平成5年(1993)6月29日
 (26)国際出願番号 PCT/US91/09770
 (27)国際公開番号 WO92/12453
 (28)国際公開日 平成4年(1992)7月23日
 (31)優先権主張番号 636,602
 (32)優先日 1990年12月13日
 (33)優先権主張国 米国(US)
 (34)指定国 EP(AT, BE, CH, DE,
 DK, ES, FR, GB, GR, IT, LU, MC, NL, SE), JP

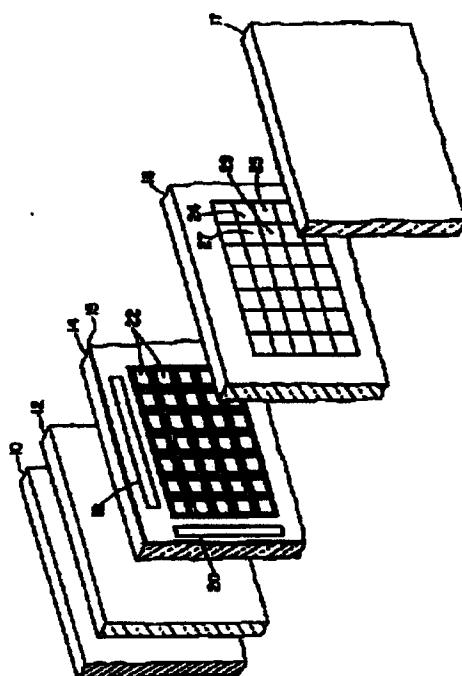
(71)出願人 コビン・コーポレーション
 アメリカ合衆国マサチューセッツ州02780ト
 ーニントン・マイルズスタンディッシュイン
 ダストリアルパーク・マイルズスタンディ
 ツシユブルーパード695
 (72)発明者 ザブラッキー, ポール・エム
 アメリカ合衆国マサチューセッツ州02062ノ
 ーウッド・ビーチストリート25
 (72)発明者 フアン, ジヨン・シー・シー
 アメリカ合衆国マサチューセッツ州02167チ
 エスナットヒル・ウエストロックスパリイ
 バークウエイ881
 (74)代理人 弁理士 小田島 平吉

最終頁に続く

(54)【発明の名称】表示パネル用の単結晶シリコン配列素子

(57)【要約】

ディスプレイパネルが、ディスプレイ作製のための基板に転写される単結晶薄膜材料(15)を使用して形成される。ピクセル配列(22)は、転写の前に、薄膜材料において制御電子回路(18、20)を作製した光弁又はスイッチを形成する。それから、結果の回路パネル(14)が、所望のディスプレイを設けるために、発光又は液晶材料でディスプレイパネルに組み込まれる。



請求の範囲

1. パネルディスプレイを作製する方法において、

a) 支持基板において單結晶半導体材料を形成することと、

b) 各ピクセルがトランジスタの一つによって作動可能である如く、回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とピクセル電極の配列を形成することと、

c) 各ピクセルによって発生された電界又は信号が材料の光透過特性を変更する如く、回路パネルに隣接して光透過性材料を位置付けることを含む方法。

2. 段階 a) が、支持基板において非単結晶の半導体材料を形成することと、単結晶材料を形成するために非単結晶の半導体材料を結晶化することとを含む請求の範囲 1 に記載の方法。

3. 単結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲 2 に記載の方法。

4. 段階 a) が、支持基板から光透過性基板に単結晶材料を転移することをさらに含む請求の範囲 1 に記載の方法。

5. 各トランジスタが駆動回路に電気的に連絡される如く、単結晶半導体材料において又は上に駆動回路を形成することをさらに含む請求の範囲 1 に記載の方法。

6. 転移段階が、さらに、単結晶材料から基板を化学的にエッチングすることを含む請求の範囲 4 に記載の方法。

7. 転移段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲 4 に記載の方法。

8. 光透過性材料が、液晶を具備する請求の範囲 1 に記載の方法。

17. 光透過性材料が、エレクトロルミネセント材料を具備する請求の範囲 1 に記載のパネルディスプレイ。

18. パネルディスプレイを作製する方法において、

a) 支持基板上に単結晶半導体材料を形成することと、

b) 各ピクセルが少なくとも一つのトランジスタによって作動可能である如く、ピクセルの回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とピクセル電極の配列を形成することと、

c) 各ピクセルにおいて発生された電界又は信号が材料により発光する如く、各ピクセル内に発光性材料を位置付けることを含む方法。

19. 段階 a) が、支持基板上に非単結晶の半導体材料を形成することと、

本質的単結晶材料を形成するために非単結晶の半導体材料を結晶化することとを含む請求の範囲 1 に記載の方法。

20. 各トランジスタが駆動回路に電気的に連絡される如く、本質的単結晶材料において又は上に駆動回路を形成することをさらに含む請求の範囲 1 に記載の方法。

21. 各ピクセルにおいて発生された電界が、光透過性電極とピクセル電極の間にある如く、発光性材料上に光透過性電極配列を位置付けることをさらに含む請求の範囲 1 に記載の方法。

22. 段階 a) が、単結晶材料が支持基板から光透過性基板上に転移される転移段階をさらに含む請求の範囲 1 に記載の方法。

23. 転移段階が、単結晶材料から化学的にエッチングすることにより支持基板を除去する段階を含む請求の範囲 2 に記載の方法。

24. 単結晶材料が、光透過性基板の湾曲面に転移される請求の範囲

9. 光透過性材料が、エレクトロルミネセント材料である請求の範囲 1 に記載の方法。

10. 支持基板と、

基板に固定され、トランジスタの配列とピクセル電極の配列を具備し、各電極がトランジスタの一つに電気的に連絡された回路パネルと、各ピクセルによって発生され、材料に印加された電界又は信号が光透過特性を変更する如く、回路パネルに隣接して位置付けられた光透過性材料と、

ピクセルを作動させるために回路パネルに電気的に連絡された駆動回路とを具備するパネルディスプレイ。

11. 単結晶半導体材料が、シリコンを具備する請求の範囲 1 に記載のパネルディスプレイ。

12. 単結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲 1 に記載のパネルディスプレイ。

13. トランジスタ配列とピクセル配列が、単結晶半導体材料の薄膜層において又は上に形成される請求の範囲 1 に記載のパネルディスプレイ。

14. 回路パネルを光透過性基板に貼合せるための貼合せ材料をさらに具備する請求の範囲 1 に記載のパネルディスプレイ。

15. 光透過性材料上に位置付けられた電極の光透過性配列をさらに具備し、各光透過性電極が、トランジスタの一つに電気的に連絡される請求の範囲 1 に記載のパネルディスプレイ。

16. 光透過性材料が、液晶を具備する請求の範囲 1 に記載のパネルディスプレイ。

22 に記載の方法。

25. 転移段階が、さらに、回路基板を光透過性基板に貼合せることを含む請求の範囲 2 に記載の方法。

26. 発光性材料が、エレクトロルミネセント材料を含む請求の範囲 1 に記載の方法。

27. 支持基板と、

基板に固定され、トランジスタの配列とピクセル電極の配列を具備し、各ピクセル電極が少なくとも一つのトランジスタに電気的に連絡され、各トランジスタが、単結晶半導体材料の薄膜において又は上に形成したソース、ドレイン及びチャネル領域を含むピクセルの回路パネルと、各ピクセル内のトランジスタによって発生された電界又は信号が材料による発光を生じさせる如く、各ピクセル内に位置付けられた発光性材料と、

ピクセルを作動させるために回路パネルに電気的に連絡された駆動回路とを具備するパネルディスプレイ。

28. エレクトロルミネセント材料上に位置付けられた電極の光透過性配列をさらに具備し、各光透過性電極が、トランジスタの一つに電気的に連絡される請求の範囲 2 に記載のパネルディスプレイ。

29. 単結晶半導体材料が、シリコンを具備する請求の範囲 2 に記載のパネルディスプレイ。

30. 単結晶半導体材料が、本質的単結晶半導体材料である請求の範囲 2 に記載のパネルディスプレイ。

31. トランジスタが、約 5000 Hz なしに約 10,000 Hz の起周波数において動作することができる請求の範囲 2 に記載のパ

明細書

表示パネル用の単結晶シリコン配列素子

発明の背景

高品質像を生成するために液晶又はエレクトロルミネセント材料を使用した平パネルディスプレイが、開発されている。これらのディスプレイは、陰極線管(CRT)技術に取って代わり、より高精細テレビジョン映像を設けると期待される。例えば、大形高品質液晶ディスプレイ(LCD)への最も有望な道は、アクティブマトリックスアプローチであり、この場合薄膜トランジスタ(TFT)は、LCDピクセルと同じ場所に配置される。TFTを使用するアクティブマトリックスアプローチの主な利点は、ピクセル間のクロストークの除去と、TFT直結LCDで達せられる優れたグレースケールである。

LCDを使用する平パネルディスプレイは、一般に、5つの異なる層を含む。すなわち、白光層、ピクセルを形成するためにTFTを配置した回路パネルの一方の面に取り付けた第1偏光フィルター、ピクセルに配置された少なくとも3つの原色を含むフィルター板、そして最後に、第2偏光フィルターである。回路パネルとフィルター板の間に空隙は、液晶材料で充填される。この材料は、回路パネルとフィルター板に取り付けた接地の間に電界が印加される時、偏光を回転させる。こうして、ディスプレイの特徴なピクセルがオンにされる時、液晶材料は、第2偏光フィルターを通過する如く材料を通過される偏光を回転させる。

平パネルディスプレイに対して必要とされる大面積でのTFT形成への主なアプローチは、大面積光起電力素子に対して以前開発されたアモ

ルディスプレイ。 3.2. 単結晶材料の薄膜において形成した駆動回路をさらに具備し、駆動回路が、開通トランジスタを作動させることにより、各ピクセルを選択的に作動させることができる如くトランジスタに電気的に連絡され、各作動されたトランジスタに連絡された開通ピクセル電極が、発光性材料に電界を生成させる請求の範囲2-7に記載のパネルディスプレイ。

3.3. 発光性材料が、エレクトロルミネセント材料を具備する請求の範囲2-7に記載のパネルディスプレイ。

3.4. エレクトロルミネセント材料が、複数の領域を具備し、各領域が、異なる色において発光する請求の範囲3-3に記載のパネルディスプレイ。

3.5. 支持基板が、ガラス又はプラスチックの如く光透過性材料を具備する請求の範囲3-7に記載のパネルディスプレイ。

ルファスシリコンの使用に保証った。TFTアプローチは、実現可能であることがわかったが、アモルファスシリコンの使用は、パネル性能の幾つかの見地を妥協する。例えば、アモルファスシリコンTFTは、アモルファス材料に固有な低電子移動度のために大面積ディスプレイに対して必要とされる周波数応答に欠ける。こうして、アモルファスシリコンの使用は、表示速度を制限し、そしてまた、ディスプレイを駆動するために必要とされた高速論理に不適切である。

アモルファスシリコンの限定性のために、他の代替的な材料としては、多結晶シリコン又はレーザー再結晶シリコンが挙げられる。これらの材料は、一般に純粋回路処理を低温に制限するガラス上に既存のシリコンを使用するために、限定される。

TFTを具備するアクティブマトリックスはまた、エレクトロルミネセント(EL)ディスプレイにおいて有益である。TFTは、シリコンから形成される。しかし、LCDアクティブマトリックスにおいて多結晶シリコンとアモルファスシリコンの使用を規定する同一因子はまた、ELディスプレイにおいてこれらの形式のシリコンの使用を制限する。さらに、ELディスプレイは、高速と低い漏れのみならず、エレクトロルミネセンスのために必要とされた電圧レベルをサポートすることができるTFTを必要とする。

こうして、所望の速度を有し、製造の容易さと低費用を設け、パネルディスプレイの各ピクセルにおいて高品質TFTを形成する方法の必要性が存在する。さらに、所望の速度を有し、製造の容易さと低費用を設けるとともに、発光のために必要な電圧において表示ピクセルを作動させる機構を設け、ELパネルディスプレイの各ピクセルにおいて高品質

TFTを形成する方法の必要性が存在する。

発明の要約

本発明は、トランジスタがディスプレイの各ピクセルを制御するためによく作製され、本質的単結晶シリコンの薄膜を使用するパネルディスプレイとディスプレイの作製方法に関する、好ましい実施態様に対して、薄膜又はトランジスタアレイが、ガラス又は透明な有機膜の如く光透過性基板に転写される。この実施態様において、薄膜単結晶シリコンは、LCDの各ピクセルを作動させる薄膜トランジスタのピクセルマトリックスアレイを形成するために使用される。パネルディスプレイを駆動するために非常に適するCMOS回路は、トランジスタが形成されたと同一薄膜材料に形成される。回路は、配線とワイヤボンディングの必要性なしに、構成金属化技術を使用して、マトリックスアレイに完全に相互連結されることがある。

各トランジスタは、電界又は信号の印加により、開接材料又は電子からの光の通過を調節するために役立つ。この印加の目的のために、電子からの光が通過されるトランジスタと開接材料又は電子は、光弁と呼ばれる。こうして、パネルディスプレイの各ピクセルは、独立開閉光弁である。そのような光弁の例としては、LCD、あるいは光透過特性が電界又は信号により変更され、高密度ピクセルアレイを設けるように構成された液体又は固体状態材料がある。本素子と開接作製方法は、高精度カラーライドを生成するための大形平パネルのすべての必要条件を満足する。トランジスタ又はスイッチは、ディスプレイを設けるために、エレクトロルミネセント表示要素(ELD)又は発光ダイオード(LED)と対にされる。

本発明の好ましい実施態様は、大面積半導体膜を使用し、膜を処理基板から分離し、膜をガラス又は他の適切な光透過性材料に取り付ける。2ミクロン以下の厚さの単結晶シリコン膜は、エピタキシャル基板から分離され、そして膜は、ガラスとセラミックスに取り付けられる。電界効果トランジスタ（「FET」）の如く機能性ホール接合素子は、分離前に少なくとも部分的に作製され、それからガラスに転移される。接着剤、静電結合、ファンデルワールス力又はボンディング用共晶合金を含む各種のボンディング手順が、基板への取り付けのために使用される。他の公知な方法も使用できる。

プロセスの好ましい実施態様は、剥離基板において薄い本質的単結晶Si膜を形成する段階と、ピクセル電極及び隣接エンハンスマント形トランジスタの配列と開通CMOS回路を隣接面上に作製する段階とを含む。各トランジスタは、各ピクセルがトランジスタの一つによって独立して作動される如く、ピクセル電極の一つに電気的に連結される。CMOS回路は、ピクセル作動と表示結果を制御するために使用される。電子作動は、薄膜が、ソース、ドレイン、チャネル及びゲート領域の形成とピクセル電極との相互連結により剥離基板にまだ付着されている間、開始される。最終パネル基板への転移の前に、電子作動を実質的に完了することにより、低温ガラス又はポリマーが使用できる。代替的に、電子作製のすべて又は部分は、剥離後、あるいはガラス又はプラスチック板への処理膜の転移により行われる。転移後、カラーフィルターと液晶材料との一体化により、LCDを使用する実施態様に対してパネルが完成される。

薄膜形成プロセスの好ましい方法は、本質的単結晶膜が剥離される地

ウェーハ又は基板から除去され、そして回路パネルを形成するためにガラス又は他の適切な基板に取り付けられる。代替的に、最初に、回路を形成し、回路をガラスに結合し、それから、基板から回路を分離することもできる。ピクセルは、平面形状を有する行と列において位置付けられる。作製段階の順序は、これらの回路に対する高溫処理が転移の前に行われるために、ガラス上の従来の高速CMOS（又は他の）論理の使用を許容する。

別の好ましい実施態様は、トランジスタ要素の種類配列の作製に係わり、隣接要素の所要の間隔又はレジストレーションを設けるために収縮又は膨張する伸縮性基板に要素を転移することと、表示パネルに含む最終基板に要素を転移することを含む。

本発明のさらに別の好ましい実施態様は、単結晶シリコン材料を使用して、エレクトロルミネセンス（EL）パネルディスプレイとディスプレイの作製方法に関する。単結晶シリコンは、小形（8インチ×8インチ以下）のアクティブマトリックスELディスプレイにおいて高解像度を達成するために好ましい。ELディスプレイにおいて、一つ以上のピクセルが、行列相互連結により、各ピクセルに駆けられなければならない交差（AC）によって付勢される。相互連結によるACの効率的な導通は、寄生容量によって制限される。しかし、アクティブマトリックスの使用は、相互連結容量の著しく縮小させ、ピクセル发光体においてより効率的なエレクトロルミネセンスを獲得し、このため、明度を高めるために、高周波数ACの使用を可能にする。本発明により、この利点を設けるTFTは、バルクSiウェーハ、あるいは単結晶又は本質的単結晶シリコンの薄膜の如く、単結晶ウェーハにおいて形成される。これら

導性基板において形成される、シリコンオニシンシュレータ（SOI）技術を使用する。本出願のために、用語「本質的単結晶」とは、多結晶の結晶が、膜を通して横に広がる平面において、少なくとも0.1cm²、好ましくは、0.5~1.0cm²以上の面積における断面傾城上に広がっている膜を意味する。そのような膜は、例えば、サファイア、SiO₂、Siウェーハ、炭素及び炭化けい素基板において公知の技術を使用して形成される。

SOI技術は、一般に、結晶格子が下側基板のそれに一致しないシリコン層の形成に係わる。特別な好ましい実施態様は、剥離層において高品質Siの薄膜を生産するために、分離シリコンエピタクシー（ISE）を使用する。このプロセスは、本質的単結晶シリコンを形成する材料を結晶化するために加熱された剥離層において、アモルファス又は多結晶シリコンの如く非単結晶材料の堆積を含む。剥離層の使用は、回路への寄なしに、エッティングされる活性層の下に酸化物を使用して、膜と回路の剥離を可能にする。

好ましい実施態様において、エピタキシャル膜が形成された全基板はエッチバック手順によって除去される。

代替的に、化学的エピタキシャルリフトオフの方法、半導体材料をガラス又は他の基板に転移するプロセスは、所望の半導体材料の大面積シートに適用される。これら又は他の剥離方法は、回路パネル作製用基板への転移のために成長基板から任意の隣接単結晶材料を除去するために使用される。

本発明は、再結晶化シリコン膜におけるCMOS回路とピクセル電極の形成を含み、再結晶化シリコン膜は、第2転移基板に固定され、開始

の高品質TFTは、ELパネルディスプレイにおいて使用され、高速と低漏れを設けるとともに、エレクトロルミネセンスのために必要とされた高電圧レベルをサポートする。

現ELディスプレイは、現ピクセル发光体のための受動回路が、发光体材料の駆動時間間に備して低いピクセル駆動周波数（約100Hz）で一般に動作するために、低い明度出力を設ける。本発明のELディスプレイにおいて、TFTは、高キャリヤ移動度を特徴とするバルク又は薄膜単結晶又は本質的単結晶シリコンを使用して、アクティブマトリックスにおいて形成される。それ自体、TFTは、高切換え速度において動作する。こうして、ピクセルと同じ場所に位置した高速TFTを使用するアクティブマトリックス回路パネルは、发光体材料の駆動時間間に備する高发光体駆動周波数を設け、ディスプレイの明度を増大させる。本発明のELディスプレイは、1000~10,000Hzの发光体駆動周波数を設けることができる。好ましくは、本発明のELディスプレイは、約5000Hz以上、最大約10,000Hzの发光体駆動周波数を設け、明度を比例して増大させる。

好ましい実施態様において、単結晶シリコンの複層が、トランジスタの配列とピクセル電極の配列を具備し、各ピクセル電極が一つ以上のトランジスタによって作動可能な回路パネルを形成するために使用される。エレクトロルミネセンス材料は、回路パネルに接続して位置付けられ、EL要素の配列を形成するためにパターン化される。ELディスプレイの実施態様に対して、各トランジスタ（又はトランジスタ回路）、開通ピクセル電極と開通EL材料要素は、ピクセルとして参照される。それ自体、ELディスプレイは、複数の独立制御可能なピクセルから成る。

各ピクセルに対して、隣接EL材料に電界又は信号を発生させることができるトランジスタ（又はトランジスタ回路）は、EL材料による発光を制御するために役立つ。

ELパネルディスプレイを駆動するために適するCMOS駆動回路は、高圧DMOSトランジスタとピクセル電極が形成された同一単結晶材料において形成される。駆動回路は、配線とワイヤボンディングの必要なしに、薄膜金属化技術を使用して、ピクセルのマトリックスへ完全に相互連絡することができる。さらに、光透過性電極記列は、各ピクセルにおいて発生された電界が光透過性電極とピクセル電極の間にある如く、エレクトロルミネセント材料上に位置付けられる。それ自身、ELパネルディスプレイの各ピクセルは、その発光特性が電界又は信号によって変更される独立制御発光体である。

本発明は、高精度カラー像を生産するための必要条件を満足するELパネルディスプレイを作製するための素子と開発方法を含む。そのために、エレクトロルミネセント材料は、複数の異なる光波長を生成することができるピクセルを設けるために使用される。さらに具体的には、エレクトロルミネセント材料は、複数のパターン化層を異種し、各層は、電界を受けた時、他の層によって生成された波長に関して異なる特定の波長の光を生成することができる。

ELディスプレイ形成プロセスの好ましい実施態様は、支持基板において単結晶シリコンの薄膜を形成する段階と、シリコン膜においてピクセル電極、トランジスタと駆動回路の配列を形成する段階と、シリコン膜に隣接した各ピクセル内にエレクトロルミネセント構造を形成する段階とを含む。各トランジスタは、各ピクセルが駆動回路によって独立に

層を形成し、層を再結晶させ、実質的に単結晶シリコンのウェーハを形成するために熱間で多結晶層を走査することを含む、薄い本質的単結晶Si層を形成する段階を含むTSEを使用する。ディスプレイ形成プロセスは、さらに、シリコン膜において、ピクセル電極、トランジスタと駆動回路の配列を形成する段階と、各ピクセル内にエレクトロルミネセント構造を形成する段階と、各トランジスタは、各ピクセルが、一つのトランジスタ回路によって独立に作動される如く、ピクセル電極に電気的に連結される。駆動回路は、ピクセル作動を制御するために使用され、そして結果が表示される。

構成の多様な新規な詳細と部品の組み合わせを含む、発明の上記と並の特徴は、添付の図面を参照してさらに詳細に記載され、クライムにおいて指摘される。特定のパネルディスプレイと発明を実現するパネルを作製する際に使用される方法は、例示のみとして示され、発明を規定するものでないことが理解される。この発明の主な特徴は、発明の範囲に反すことなく多様な実施態様において使用できる。

図面の簡単な説明

第1A図は、発明による平パネルディスプレイの分解剖視図である。第1B図は、発明の好ましい実施態様のための駆動システムを示す断面図である。

第2A～2L図は、平パネルディスプレイのための回路パネルの作製を示す、好ましいプロセス流れ順序図である。

第3図は、ディスプレイパネルの好ましい実施態様の断面図である。

第4図は、再結晶化のために使用されるシステムの好ましい実施態様の斜視図である。

作動される如く、ピクセル電極に電気的に連結される。

ELディスプレイのための半結晶シリコン層形成プロセスの好ましい方法は、基板上の絶縁性酸化物におけるシリコン層の形成に係わるSOI技術を含む。SOI技術は、本発明のELディスプレイの高圧、高密度回路をサポートするために好ましい。さらに具体的には、酸化層は、DMOSトランジスタの如く、高圧素子に耐える構造を可能にする。さらに、SOI構造は、高解像度ディスプレイにつながる高密度ピクセル回路を達成するためのチャネル分離を設ける。

他の好ましい方法は、単結晶シリコン膜が、分離され、別の材料に接着される支持基板において形成されるSOI技術に係わるELディスプレイのための薄膜形成処理に関する。一つの好ましいプロセスにおいて、単結晶シリコンの膜は、基板において形成され、そしてアクティブマトリックス回路が、シリコン膜において形成される。次に、膜は、その基板から分離され、ピクセルの発光を改良するために、反射材料に転移される。別の好ましい実施態様において、膜は、その基板から分離され、光特性を改良するために、材料の両側表面に転移される。例えば、ELディスプレイは、ヘルメット装着システムの演曲をひさしに取り付けられる。代替的に、ELディスプレイは、ヘッドアップディスプレイのための湾曲風防に取り付けられる。

別の好ましい実施態様において、単結晶シリコンの膜は、基板において形成され、そして金ウェーハが、上面に取り付けられる。次に、金基板は、エッチバック手順によって除去される。

ELディスプレイ形成プロセスの特別の好ましい方法は、絶縁性基板の上に多結晶シリコンの層を形成し、多結晶シリコン上にキャッピング

第5A図は、結晶化材料において粒界を同調化するパターン化剝離層の使用を示す。

第5B図は、粒界を同調化するためのパターン化キャッピング層の使用を示す。

第6A図は、発明によるガラスへの転移前のMOSFETのドレイン電流と相互コンダクタンス特性を示す。

第6B図は、ガラスへの転移後の第6A図のMOSFETのドレイン電流と相互コンダクタンス特性を示す。

第7A図は、2つの異なるドレイン電圧において対数スケールでプロットした、第6A図の素子のドレイン電流を示す。

第7B図は、2つの異なるドレイン電圧において対数スケールでプロットした、第6B図の素子のドレイン電流を示す。

第8A図は、ゲート電圧が0～5ボルトで変化する、第6A図の素子のドレイン電流出力を示す。

第8B図は、ゲート電圧が0～5ボルトで変化する、第6B図の素子のドレイン電流出力を示す。

第9A～9C図は、発明によるリフトオフプロセスを示す一連の断面図である。

第10A図は、発明の別の実施態様による、リフトオフ処理中のウェーハの部分剖視図である。

第10B図は、プロセスにおける段階後、リフトオフ構造の第10A図の線II～IIに沿って取った断面図である。

第10C図は、レジストレーションが維持される別の実施態様において、リフトオフ処理中のウェーハの一部の部分剖視図である。

第10D図と第10E図は、リフトオフプロセスにおけるさらに他の段階後の第10C図の構造の断面を示す。

第11A～11E図は、発明によるリフトオフ手順のプロセスフローにおける各段階中のウェーハの略図である。

第12A～12C図は、発明の別の好みのリフトオフ手順の断面図である。

第13A～13C図は、発明による転移の好みの方法を概略的に示す。

第14A図と第14B図は、発明によるさらに他の転移方法を概略的に示す。第15図は、発明による電子レジストレーションを監視制御するための好みのシステムを示す。

第16A図は、本発明によるエレクトロルミネセントパネルディスプレイの分解斜視図である。

第16B図は、エレクトロルミネセントカラー表示要素の斜視図である。

第16C図は、エレクトロルミネセントパネルディスプレイのための駆動システムを示す回路図である。

第16D図は、第16C図のDMOSトランジスタの等価回路である。

第17A～17L図は、エレクトロルミネセントパネルディスプレイの回路パネルの作製を示す好みのプロセス流れ順次図である。

第18A～18D図は、エレクトロルミネセントカラーディスプレイの作製を示す好みのプロセス流れ順次図である。

第19A～19B図は、SOI構造の上層への転移及びポンディングと基板の除去を示す好みのプロセス流れ順次図である。

他の好みの実施態様は、各ピクセルに対して発光体を形成するために、他の固体状態材料を使用する。その光透過特性が境界の印加により変更されるエレクトロルミネセント膜、多孔性シリコン又は発光材料が、発光体を形成するために使用される。従って、エレクトロルミネセント表示要素(ELD)、多孔性シリコン表示要素又は発光ダイオードが、形成され、ディスプレイを設けるために使用される。

パネルにおいてディスプレイを制御するために使用される駆動回路が、第1B図に示される。回路18は、入り信号を受信し、バス13を通して信号をピクセルに送達する。回路20は、各ピクセルにおいてキャバシタ26を充電する個々のトランジスタ23をオンにするために、バス19を通して走査する。キャバシタ26は、配列の次の走査まで、ピクセル電極と液晶21において電荷を持続させる。発明の多様な実施態様は、所望のディスプレイの形式により、各ピクセルでキャバシタを使用する又はしない。

第2A～2L図は、回路パネル構成が形成された、シリコンオンインシュレータ(SOI)裏を形成するために、地盤シリコンエビタキシー(IE)プロセスの使用を示す。なお、任意の数の技術が、単結晶Siの構成を設けるために使用される。第2A図に示されたものの如く、SOI構造は、基板30と、基板30において成長又は堆積された(例えば、SiO₂等の)酸化物34を含む。シリコンの薄單結晶層は、酸化物34上に形成される。酸化物(又は絶縁体)は、こうして、Si表面層の下に埋め込まれる。IE-SOI構造の場合に、頂部層は、CMOS回路が作製される実質的に単結晶の再結晶化シリコンである。埋め込み絶縁体の使用は、従来のバルク(チョクラルスキー)材料におい

第20A～20B図は、GeSi合金が中間エッチング層として使用される、代替的な転移プロセスを示す、好みのプロセス流れ順次図である。

好みの実施態様の詳細な説明

発明の好みの実施態様が、第1図におけるパネルディスプレイの斜視図に示される。ディスプレイの基本構成要素は、白又は他の適切な色である光源10、第1偏光フィルター12、回路パネル14、フィルター板16と第2偏光フィルター17を含み、周囲において固定される。液晶材料(不図示)は、回路パネル14とフィルター板16の間に収容に置かれる。回路パネル14におけるピクセル22の配列は、各ピクセルが、ピクセルとカラーフィルター板16に固定した対向電極の間にある液晶材料において電界を発生させる如く、配列に接続して位置付けられた第1及び第2回路構成要素18、20を有する駆動回路によって個別に作動される。電界は、液晶材料を透過される偏光の回転を生じさせ、接続カラーフィルター要素が照明されることになる。フィルター板システム16のカラーフィルターは、青24、緑25、赤27と白29の如く4つのフィルター要素のグループに分割される。フィルター要素24、25、27、28に開通したピクセル又は光弁は、そのピクセルグループに対する所望の色を設けるために選択的に作動される。

本発明は、ディスプレイパネルの各ピクセルを形成するために、透過性又は遮光性材料を使用する。そのために、好みの実施態様は、前述の液晶材料の如く任意の液体を使用し、各ピクセルに対して透過性光弁を形成する。他の好みの実施態様は、各ピクセルに対して透過性光弁を形成するために、強硬性材料の如く固体状態材料を使用する。さらに、

て獲得されるよりも高速の素子を設ける。150万を超えるCMOSトランジスタを含む回路が、IE材料において成功裏に作製された。

第2B図に示された如く、層38は、各ピクセルに対するトランジスタ領域37とピクセル電極領域39を規定するためにパターン化される。硬化層40は、それから、各ピクセルの2つの領域37、39の間にチャネルを含むパターン化領域上に形成される。それから、固有結晶化材料38が、nチャネル素子を設けるためにホウ素又は他のn形ドーパント(又は代替的に、pチャネル素子に対してp形ドーパント)を注入44(第2C図)される。

それから、歩始型シリコン層42が、ピクセル上に堆積され、そして層42は、第2D図に示された如く、n形ドーパントを注入46され、ゲートとして使用される層42の抵抗率を低下させる。ポリシリコンは、第2E図に示された如くゲート50を形成するためにパターン化され、続いて、トランジスタのドソース及びドレイン領域を設けるためにホウ素を大きく注入52される。第2F図に示された如く、酸化物54は、トランジスタ上に形成され、そして開口50、56、58が、それぞれ、ソース56、ドレイン54とゲートに接触するように酸化物54を通して形成される。アルミニウム、タンゲステン又は他の適切な金属のパターン化金属被膜70は、露出ピクセル電極62をソース60に連結し、ゲートとドレインを他の回路パネル構成要素に連結するために使用される。

第2の作製手順は、ガラスに貼り合わされた処理シリコンの薄膜(1～5ミクロン)を形成するために開発された基板剥離プロセスの一つである。これらの膜は、転移の前に部分的又は完全に作製されたFTTの

如く、活性半導体素子を含む。転移のための横方向成長エピタキシャル膜のへき開(CLEFT)アプローチを含む熱凍結及び剥離手順は、參照としてここに取り入れた。米国特許第4,727,047号において十分に記載される。化学エピタキシャルリフトオフ(CEL)アプローチは、米国特許第4,846,931号と第4,889,561号において十分に記載される。CLEFTとCELの両技術は、基板の再使用を許容し、基板が消費される他のアプローチと比較して費用を縮小させる。SOIウェーハと薄膜剥離技術を組み合わせることにより、ガラスにおいて要求高品質度及び回路を形成することができる。

前記は、CELプロセスが、剥離層のHF(又は他のエッティング液)アンダーカットに対して必要とされた横方向距離によって制限されることを示す。CELを使用する大面積パネルへの場合は、完全大面積よりもむしろ、パターン化素子及び/又は回路の制限である。というのは、回路又は素子は、エッティングを剥離層に達せさせるために膜を退って墨籠チャネルとして使用される未使用領域を有する。このアプローチは、第2H～2J面に示される。剥離露頭から回路を除去するために、第1開口70(第2H面)が、ピクセル間にある層36の遮断領域において形成される。それから、層34の第2の大部分が、層36の一部が空洞72上に延びる如く、空洞72を形成するために除去される。

第2I面において、支持柱76は、空洞72と開口70を溝たすために形成され、層36の一部上に延びている。それから、開口又はヴァイアホール74が、エッティング液が、層34(第2J面参照)を除去するために、ホール74又は複数開口78を通して導入される如く、層36を通して設けられる。残りの绝缘性層36と支持された回路は、支持柱7

でコネクタが付加される。最後に、白光源114又は他の適切な光源が、偏光器112に結合される。

結果の素子の断面図が、第8図に示され、この場合ピクセル電極102と104は、互いに接続される。各ピクセル102、104は、トランジスタ106と、付属したカラーフィルター120、122を有する。漏先要素112、118が、結合せ要素又は接着剤108と、ガラス又はプラスチックの如く光透過性基板110を含む構造の対向側において位置付けられる。層108は、2～10ミクロンの厚さを有する透明なエポキシ又は低融点ガラスである。

CLEFTプロセスは、再使用可能なホモエピタキシャル基板から、化学蒸着(CVD)によって成長された薄い単結晶膜の分離を許容する。CELプロセスと異なり、CLEFTプロセスにおいては、回路又は素子は、最初に、ガラスに結合され、接着後、回路と基板の間で分離される。

CLEFTによって基板から除去された膜は、本質的に低欠陥密度の単結晶であり、ほんの数ミクロン厚であり、結果的に、回路パネルは、軽量であり、良好な透通特性を有する。本出願の目的のために、用語「本質的単結晶」とは、多数の結晶が、少なくとも0.1cm³、詳しくは、0.5～1.0cm³以上の範囲において膜の平面における断面傾向上に広がることを意味する。

米国特許第4,727,047号に示されたCLEFTプロセスは、次の段階を含む。すなわら、剥離層(底面平面)上の所定の薄膜の成長、金属化と他の装置の形成、膜とガラスの如く第2基板(又は上層)の層の結合せの形成、及びへき開による底面の底面に沿った分離であ

るにより基板30に関して部位に保持される。紫外線で硬化されるエポキシが、光透過性基板80を底面と層36に取り付けるために使用される。それから、基板80は、柱76の周りのエポキシ84の領域が、残余のエポキシ82が硬化される前未硬化のままである如く、パターン化される(第2K面参照)。基板30と柱76は、第2L面に示された構造を設けるために除去され、所望のディスプレイパネルを設けるために処理される。

UV硬化性接着剤(又はテープ)が、必要な場合に、回路を保護するためにパターン化され、そしてHFが、残りの剥離層に達するために使用される。

なお、テープが使用される場合に、テープは、剥離層の回路への支持を設ける。膜を含む大面積GaN素子は、このようにして作製され、そしてこれらは、一テープにおいて金ウェーハから素子を形成するために剥離された。剥離された回路は、液晶ディスプレイパネルのガラスと他の要素に再装着される。透明接着剤が、接着の好みの方法である。

最終ディスプレイパネルを形成するために、第2L面に示された回路パネルが、エッティングされ、所要のピクセル要素を露出させる。绝缘及び整合層、スペーサー、密封ボーダーと遮光用貼合せパッドが、回路パネルに付加される。スクリーン印刷プロセスが、ボーダーを準備するために使用される。カラーフィルターと対向電極を含む膜が、スペーサーの導入段、密封ボーダーにより回路パネルに密封される。ディスプレイは、ボーダーを貫通している一つ以上の小さな注入穴を介して、選択された液体材料で充填される。この注入穴は、それから、封筒又はエポキシで密封される。第1及び第2偏光膜又は層が、両側に貼合され、そし

る。基板は、再使用のために利用できる。

CLEFTプロセスは、剥離層の頂部において過渡層を形成するために、横方向エピタキシャル成長を使用して、本質的単結晶材料のシートを形成するために使用される。シリコンに対して、横方向エピタクシーは、ISEプロセス又は他の再結晶化手法によって達成される。代替的に、他の標準堆積技術も、必要な薄膜の本質的単結晶材料を形成するために使用できる。

剥離層を形成する材料の必要な特徴の一つは、膜と半導体膜の間の接着の欠如である。弱い平面は剥離層によって作成するために、膜は、劣化なしに、基板からへき開される。剥離層は、Si_xN_yとSiO₂の多層膜を具備する。そのようなアプローチは、SiO₂をCMOS技術の背面不活性化するために使用する。(Si_xN_yは、虚脱平面を生成するために溶解される層である。) CLEFTアプローチにおいて、回路は、最初に、ガラス又は他の底面基板に結合され、それから、分離され、UV硬化テープと比較して単純な取り扱いとなる。

ISEプロセスにおいて、酸化膜は、基板と、回路を含む頂部S1膜に強力に付着される。この理由のために、結合の強度を化学的に縮小することが必要である。この技術は、剥離層において虚脱平面を形成するために完全な分離なしに、エッティング液により優先的に溶解される剥離層を含む。それから、膜は、ガラスが回路と電極に結合された後、機械的に分離される。

機械的分離は、次の如く達成される。膜の上面は、透明なエポキシでガラスの如く上層に結合される。それから、膜とガラスは、へき開支持物として設立つ約5mm厚のガラス板にワックスで結合される。金属く

さびが、表面を分離するために、2つのガラス板の間に挿入される。マスクは基板に対して接着着力を有するために、膜は、基板から剥離されるが、ガラスに接着されている。それから、基板は、CLEFTプロセスの別のサイクルに対して使用され、そして素子処理が、膜の背面において完了される。なお、素子が上層に付着されているために、背面は、フォトリソグラフィーを中心としたウェーハ処理される。

方法は、さらに、S1基板の場合にシーディングにより、異質基板の場合にシーディングなしの単結晶層の準備を含む。シーディングされたS1膜の場合に、標準再結晶化プロセスが適用される。いずれにせよ、底面酸化又は変化層が、剥離目的のために最適化される。

第4図に概略的に示された、再結晶化システムの一実施態様において、基板温度は、下方加熱器130によって融点近くまで昇温される。上方ワイヤ又は黒鉛条片加熱器132が、サンプル134の頂部を走査し、移動する融解ゾーン136により多結晶シリコンを再結晶又はさらに結晶化させる。S1における標準プロセスにおいて、横方向エピタクシーは、下方酸化物を通して小開口からシーディングされ、そして結果の単結晶層は、基板の背面を有する。キャッピング層138は、結晶化の前に、多結晶材料の上に堆積される。

異質基板の使用は、シーディングを排除する。この場合、本質的単結晶S1は、粒界エントレインメント技術により獲得される。粒界エントレインメントは、再成長領域において熱成分における実験を導入するために、剥離酸化物又はキャップ層のいずれかをパターン化することにより使用される。温度フィールドにおける実験は、融解前面の位置を変化させ、予測可能な位置に境界を同調化する。剥離酸化物142のパターン

電圧 V_g の関数として、ドレイン電流 I_d と相互コンダクタンス G_m をグラフで描き、この場合ドレイン-ソース電圧は、ガラスへの転移の前のMOSFETに対して50mVである。MOSFETは、2501m/201mの相対長さ比率と、0.51m厚の再結晶化シリコン材料において890Aのゲート酸化物厚を有する。第6B図は、ガラスへの転移の後、同一素子のドレイン電流 I_d と相互コンダクタンス G_m を示す。

第7A図は、2つのドレイン-ソース電圧 $V_{ds}=50\text{mV}$ と $V_{ds}=5\text{V}$ において、対数スケールにおいてプロットした、第6A図の素子のドレイン電流をグラフで示す。

第7B図は、ドレイン-ソース電圧 $V_{ds}=50\text{mV}$ と $V_{ds}=5\text{V}$ において、対数スケールにおいてプロットした、第6B図の素子のドレイン電流をグラフで示す。

第8A図は、 $V_{ds}=0, 1, 2, 3, 4$ と5ボルトのゲート電圧において、第6A図の素子のドレイン-ソース電圧の関数として、ドレイン電流 I_d をグラフで示す。

第8B図は、 $V_{ds}=0, 1, 2, 3, 4$ と5ボルトのゲート電圧において、第6B図の素子のドレイン-ソース電圧の関数として、ドレイン電流 I_d をグラフで示す。

CLEFアプローチに対して、さらに他の実施態様は、ガラス板における剥離回路の再取付けを含む。出頭の方法は、薄膜半導体と接着剤の間の一様な密着を保証するが、薄膜において他の欠陥を導入しない。

方法としては、分離される層の前面側へのApiezon Wワックスの塗布が挙げられる。ワックスにおける応力は、湾曲を引上げ層に伝え、これにより、エッチング前面へのエッチング液の接近を可能にする。

シ化が、第5A図に示される。この実施態様において、基板140は、剥離酸化物142で充填された層150を有する。キャップ146と剥離層142の間に広がる結晶化材料144における粒界148の同調化により、S1回路又は電極は、高品質の領域に位置する。金属化と他の特徴は、重複界面上に位置する。

図示された如く、好ましい技術は、必要な同調化構造により再使用可能な基板をパターン化することである。いったんこのようにパターン化されると、再使用可能な基板は、再パターン化を必要としない。そのようなスキームにおいて、同調化層は、液を完全に満たすために十分な厚さの材料を受けられる。液における材料は、例えば、プレーナー化S1+N_xを含み、一方、剥離層は、SiO₂のさらに堆積を含む。代替的に、液は、SiO₂で完全に満たされる。それから、液は、剥離エッティングのためのチャネルとして機能する。

第2アプローチは、第5B図に示された如く、キャップ堆積の後に、キャップ層145をパターン化することを含む。キャップ145のパターン化リッジ147は、キャップ145と剥離層141の間に広がる再結晶化材料において粒界148に重なる。第3アプローチは、多結晶シリコン層をパターンするものである。キャッピング層は、異質基板で使用される。キャッピング層は、熱サイクルを通じて耐熱性でなければならないが、素子処理のために除去可能でなければならない。キャップは、なめらかなS1基板に対して良好に作用するが、同調化のために必要なパターン化層は、折衷を必要とする。

第6～8図は、ガラス基板への転移の前後で、発明により作製されたMOSFETの電気特性を示す。第6A図は、重複領域におけるゲート

エッティング前面への接近は、はがされる全領域の外縁からのみ造成される。

しかし、2cm×2cmよりも大きな領域に対して、数時間又は数日まで延長される長いリフトオフ時間のために、このプロセスは、大面积リフトオフを含む応用に対して使用を限定される。湾曲性は、エッティング前面へのエッティング液の接近を増大させるために必要とされる。しかし、リフトオフのために必要な湾曲性は、低温ワックスによって生じ、その結果、高温処理は、このワックスが存在する限り行われない。存在するサンプルは、しばしば、基板の再使用を許容しないサイズまでへき開される。ワックス塗布プロセスは、自動化され、この手順が好ましい応用における基板の再使用を許容するためにパターン化可能である。このプロセスは、背面処理を必要としない個別的小領域に対してのみ使用される。

発明の別の実施態様は、標準リフトオフプロセスにおいて黒ワックスに置き換わるために種々の摩擦係数の層又は厚膜材料の組み合わせの使用に係わる。このプロセスは、第9A～9C図に示される。正しい温度を使用することにより、リフトオフのために必要な湾曲性は、層における差応力により達せられる。单一層は、はがされる材料に関して正しい摩擦係数を有するならば使用される。この方法は、リフトオフ温度において正しい湾曲性を伝え、室温において平坦であり、そしてまた、背面処理中膜を支持する支持層を可能にする。

発明のこの実施態様は、第9A～9C図の構造200に開通して記載される。エピタキシャル層又は素子が形成される適切な基板材料を含む基板202が、設けられる。剥離層204は、基板202において、好

ましくはCVDにより成長される。薄膜シリコン制離可離層に対して、SiO₂層が、前述の如く使用される。

半導体層構造206は、同様にCVD又は他の前述の方法により、制離層204において形成される。構造206は、肝ましくは、発明によるトランジスタの配列の作製のために配置した材料を具備する。

例えば、CVDを使用することにより、構造206は、非常に薄く、すなわち、約5ミクロン未満、肝ましくは、2ミクロン未満にされ、接觸層は、0.1ミクロン厚よりも小さい。

必要なドーパントは、一般に、ソース、ドレイン及びチャネル領域を規定するために、成長プロセスの後、拡散又は注入により導入される。次に、構造206は、従来の技術を使用して、前面又は頂面において処理され、ゲートと各ピクセルが位置する金属接点と、必要に応じて、バスターとボンディングパッドを形成する。

第1のリフトオフ実施態様において、被覆208が、前面処理構造206において形成される(第9A図)。被覆は、種々の熱膨脹係数の厚又は薄膜材料の組み合わせから成る。例えば、被覆208は、窒化物、金属、バイメタル又はガラス応力被覆を具備する。接触金属被覆(不図示)はまた、接觸層においてこの時に塗布される。

被覆層208と構造206は、従来のフォトリソグラフィーを使用してパターン化され、そして被覆材料208と構造206は、適切な選択性エッティング液によるエッティングにより、第9B図に示された如く、所定の領域において制離層204まで除去される。上記の段階は、被覆208の被覆材料の間に大きな熱応力が生成されない、十分に低い所定の温度において行われる。次に、温度は、十分な温度まで昇温され、被覆

して記載される。この場合第9図において対応する項目は、第10図と同一参考番号を保持する。第10A図の部分斜視断面図に示された如く、基板202には、制離層204を形成してあり、素子構造206によって覆われ、すべては第9図に開示して記載された如くである。構造206へのボンディングパッドと金属接点(不図示)の如く、すべての前面処理が、完成される。

溶解又はエッティング可能な状態から溶解又はエッティング可能な状態(又は逆)に変換される材料は、前面処理構造206において形成される。例えば、UV硬化性エポキシ230は、構造206上に広げられる。このエポキシは、UV光への露出により溶解性でなくなるという特性を有する。

材料のUV光透過性マスク制離層232は、エポキシ230上に形成され、そして開口236を有するパターン化不透明マスク234が層232上に接着される。

マスク234は、UV光を照射され、マスク開口236の下側のエポキシの領域を硬化させ、未硬化状態よりも溶解性でなくする。制離層232は除去され、そしてマスク234が除去される。次に、未硬化エポキシは、制離層204(第10B図参照)までの如く、溶剤によって除去される。

硬化エポキシ230は、制離層204からの分離後、薄膜構造206のための支持物として設立つために、構造上に残される。このように、エッティング前面は、制離層204までチャネル240をカットすることにより、構造の全頂面領域を小領域に分割することにより増大される。

ウェーハサイズリフトオフのための第2方法は、引き上げられる全幅

208において熱応力を生じさせる。この昇温において、構造は、制離エッティング液に曝露される(第9C図参照)。

制離エッティング液は、充満的に、制離層204を十分にエッティングし、被覆208によって支持した分離素子構造206を除去させる。それから、これらの都合は、熱応力が解放される低温にされ、個別素子を強く裏面処理に対して平坦にさせておく。

このプロセスは、個別チップを裏面処理に対して平坦にさせ、支持構造が裏面処理温度に対して、不透過性のガラスの如く材料から形成されることにおいて、Gmitter他の黒ワックスプロセスに対する大きな利点を説ける。

2つの異なる手順が、ウェーハスケールリフトオフを達するために使用される。第1方法は、転移される層が形成される全基板のエッティングに係わる。これは、「エッチャック」手順と呼ばれる。

第2方法は、ウェーハ又はサンプルの各の板から制離層にアクセスし、一つの大きなシートとして材料を剥離する。この第2方法は、同一ウェーハから引上げられた素子間にレジストレーションを必要としない場合に対してである。登録が整まれないならば、自動化手順が、個別素子の大領域又は材料の領域のリフトオフに対して使用される。前面処理が完了した後、UV硬化エポキシが、希望のパターンで硬化され、不要な場所を除去され、それから、制離層までのエッティングのためのマスクとして使用される。UV硬化エポキシは剥離され、分離後の引上げられた層のための支持物として作用する。分離素子は、エッティング液から回収される必要があり、選択及び場所選別方法を使用して、制離に処理される。

これらの代替的なリフトオフプロセスは、第10A~10E図に開示

域を小領域に分割することにより、エッティング前面の量を増大させる。チャネルが、引き上げられる材料の金属層にカットされ、これにより、制離層を露出させる。これらのチャネルは、領域を完全に分離するか、又はリフトオフ領域に部分的に切り込むスリットから成る。

第2方法は、互いに開いて材料の小領域を登録し、同時に、露出された制離層への大きな接近をエッティング媒体に許容しようとする問題を扱う。これを行う能力により、溶液からの容易な回収、裏面におけるウェーハスケール処理、及びエッティング前面の小領域と最大露出による短いリフトオフ時間が許容される。このアプローチの重要な特徴は、すべてのエッティング前面へのエッティング溶液アクセスを設けながら、全ウェーハ領域のレジストレーションを許容することである。

素子間のレジストレーションが、トランジスタの配列における如く必要とされる場合に、第10C~10E図の代替的実施態様のリフトオフ方法は、多数の利点を説ける。

第10C図のこの代替的プロセスは、互いに開いて小素子又は材料のピクセル領域を登録し、同時に、露出制離層へのエッティング媒体アクセスを許容しようとする問題を解決する。これを行う能力により、溶液からの容易な回収、裏面におけるウェーハスケール処理、小領域と最大エッティング前面による短いリフトオフ時間が許容される。このアプローチはまた、すべてのエッティング前面へのエッティング溶液アクセスを設けながら、全ウェーハ領域を通じて素子のレジストレーションを可能にする。第10C図を参照すると、ウェーハの矩形部分区分が示される。ウェーハは、制離層204がCVDによって堆積された半導体基板202から形成され、続いて前面処理トランジスタパネル206によって後われ、

すべては前述の如くである。

未硬化液体UVエポキシ250の如く、変形可能な材料が、構造206の裏面又は前面に広げられる。両実施態様からの逸脱点は、プラスチックの如く透明材料製の多孔プレーナー格子252が、エポキシ250の裏面に位置させられる時、次の段階において発生する。孔256は、格子252の裏面に直角に平面を貫通している。

孔256を覆うように整列された不透明円256を有するフォトマスクが、それから、格子252上に接着される(第10C図)。(オプションのUV透明マスク剥離層(不透明)が、マスク除去を容易にするためにマスク258と格子252の間に形成しても良い。)UV光は、マスクに吸収され、第10D図に示された如く、不透明円256の下を除いてすべての場所で下側エポキシ254を硬化させる。この場合エポキシ250の硬化区分は地図区分で示され、未硬化区分はブランクで示される。マスク258は除去される。未硬化エポキシ250は、適切な溶剤によって開口256から除去され、構造206は、開口を通して剥離層204までエッティング除去される。それから、剥離層は、上で剥けられた如く、開口256を使用してエッティング除去される。エッティング液のアクセスは、こうして、ウェーハの多数の点において達成され、配列が硬化エポキシ254によって格子252に付着される(第10E図参照)。

レジストレーションへの別のアプローチは、剥離層204までエッティングすることにより素子材料において直接にチャネル260を形成し、これにより、材料のみにチャネルを形成することである(第11A図)。これらのチャネルはまた、第9圖のUV硬化エポキシパターンニング方法を使用し、剥離層204までエッティングすることにより(第11B図

に良好に作用する単純な方法は、フォトレジストマスキングによって材料206において直接にチャネルを形成し、続いて、剥離層204までエッティングすることである。これは、剥離層の上の材料の高さに等しい材料においてチャネル260を形成する。次に、エッティング液は、引き上げられる層の裏面に流れ、あるいはウェーハが、エッティング液に浸される。いずれにせよ、引き上げられる領域206の間のチャネル260は、エッティング液材料で充填される。これが行われた後、リフトオフの後レジストレーションを保持する上側支持層は、詳細に記載された貼合せ方法により構造206の前面に接着される。上側支持物は、材料206に固定され、一方、ウェーハは浸され、あるいはエッティング液は、ウェーハの前面を覆い、チャネルを充填する。支持材料は、形成されたチャネルをふさがず、これにより、エッティング液を押し出さないほど十分に剛性でなければならない。適切な支持材料は、ガラス、プラスチック又は他の光透過性物質を具備する。これは、エッティング液アクセス穴を必要としない固体支持媒体を許容し、こうして、プロセスを非常に単純化する。

トラップされたエッティング液は、剥離層204を十分に溶解させ、その結果、剥離層206は、裏面が強く処理、すなわち、裏面導体金属化とボンディングパッドの形成のために露出され、支持物によって支持かつ剥離される間、除去される。上記の支持材料のほかに、小形素子を取り扱うために複数において非常に公知なUV剥離テープが、幾つかの理由のために優れた支持選択であることがわかった。これらのテープは、強いUV放射線に露出された時、接着力をほとんど失うという特性を有する。さらに、複数は、接着剤に影響を与えるものではなく、そして液

参照)、又は第11C図の平面図に示された如く、分離される領域270の間にチャネル260又はアクセス路を形成する他の方法を使用することにより、より高くされる。支持物280は、チャネル260上の材料270に取り付けられ、それから、エッティング液が、チャネルに沿って流れ、これにより、ウェーハの中心へのエッティング液のアクセスを与える(第11D~11E図)。高いチャネルは、高速剥離を達するために毛細作用を加速するために設立つ。真空補助、超音波補助、等を含む他の方法もまた、チャネル260でのエッティング液の移動を加速するために使用される。

同一様に沿って、チャネル260は、下の剥離層を露出させるために素子材料において作られる。それから、多孔性材料が、スピンドルされ、あるいはそうでなければ、前面に形成又は付着される。この材料は、UV、熱、又は溶剤処理により硬化された時、剛性又は半剛性であり、このため、基板からの分離後、引き上げられた層を支持することができる。材料は、エッティング液によって破壊的に作用されずに、エッティング液を通過するために十分に多孔性である。このようにして、エッティング液は、多孔性材料を通過し、露出点において剥離層へのアクセスを与えられる。

別の実施態様において、剥離層エッティング液は、下側支持層が構造206に取り付けられる前に、剥離層と接触される。このプロセスが作動するためには、チャネル260は、エッティング液がトラップされる。引き上げられる材料の素子又は領域の間に形成されなければならない。基本プロセスは、次の如くである。チャネル260は、基板202において剥離層204を露出させるリフトオフ領域206の間に形成される。これは、素子間にチャネルを作成する前述の方針により行われる。非常

に浸されたとしても、良好に塗布される。これらのテープは、单体で、又は厚い支持物と組み合わせて使用される。この付加支持物は、耐久的でないならばUV放射線に透過性の材料から形成され、そしてそれは、使用されるエッティング液によって破壊的に作用されるべきでない。

UV剥離接着剤は、テープ裏張り材料の代わりに、他の支持材料に直接に塗布される。第12A~12C図に示された如く、両面UV剥離テープ282と組み合わせた支持物280が、使用される。テープ282の一方の側が、支持物に接着される。それから、他方の側が、エッティング液が塗布された後に、構造206の前面に接着される。それから、エッティング液は、素子206をアンダーカットすることを許容される。素子は、第12A図に示された如く、支持物280に剥離テープによって接着される。リフトオフ時間は、エッティング液がウェーハ裏面における多数の点から剥離層へのアクセスを有するために、非常に短い。

このように、素子は、相互に関して疊掛され、そして裏面処理中支持物280によって支持される。

テープの接着力は、支持物を通じたUV照射によって剥離され(第12B図又は第12C図)、そしてテープは、素子を接着したまま、キャリヤ280から取り外される。いっそうのUV露出は、素子を真空炉によって除去させ、又はテープから他のテープ284又は基板288(第12B図又は第12C図)又は他の媒体に関するエポキシ286に直接に転移させるために十分な程度まで、テープへの素子の接着力を減少させる。0.5cm幅の分離領域が、この非拘束方法によって引き上げられた。引き上げられ、同時に疊掛される全ウェーハサイズは、ウェーハサイズによってのみ制限される。

示された如く、代替的実施態様は、UV硬化接着性テープとエポキシの使用に係わる。接着剤は、薄膜トランジスタとCMOS回路要素をガラスに貼合せるために使用される。接着剤は、14" x 14"以上の板に塗布される。塗布方法としては、スピンドルコーティング、露気技術、スプレー、必要な一様性と光学品質を設けるための標準基板塗布プロセスが挙げられる。

別の好ましい実施態様は、回路パネルにおいて密接な間隔でない位置に密接な配置の素子を転移する方法を含む。第13A図、第13B図と第13C図に示された技術は、素子が正しく位置付けられるまで、伸縮性テープ又は膜の引き伸ばし又は収縮を使用する。この技術はまた、前述のリフトオフ手順、及び機械的方法又は引き伸ばしと機械的方法の組み合わせを含む。商業的に利用可能な素子は、膜の引き伸ばしを正確に制御するために使用される。構成要素の適正なレジストレーションを設けるために引き伸ばし及び転移中、素子の間隔を測定するために、多様な方法が使用される。

構造300に開示して第13A図に示された如く、トランジスタ又は薄膜半導体領域の配列304が、伸縮性基板302に転移された。トランジスタ又は領域304は、上記の手順により、又は他の適切な手順を使用して、作製かつ転移された。基板302は、接着剤を具備する。

第1実施態様において、構造は、第13B図に示された如く輪306に沿って引き伸ばされ、これにより、輪306に沿った素子304間の距離308を増大させ、別の方向において素子間の距離310を同一にしておく。それから、基板302は、第13C図に示された配列を生成するために輪314に沿って引き伸ばされ、ここ場合素子304は、一

る信号を発生させるように位置付けられる。制御器358は、素子304の間の距離が正確に測定される如く、基板354に関するビーム352の移動を相間させる。制御器358は、素子の選択行又は列の間隔に調整が行われる如く、引き伸ばし機構360に電気的に連結される。

引き伸ばし機構360は、基板354が複数された環を通して押されるピストンから成る。基板354に対して環を通したピストンの移動は、素子304間の間隔を増大させるために正確に規定された方法で基板354を引き伸ばす。

代替的に、周囲に沿って基板を把持し、適切な方向に基板を正確に引張る、第15図に示されたものと同様な引き伸ばし機構が商業的に入手可能である。

引き伸ばし後、墨線された素子は、ガラス、ポリエステル又は光弁(LCD)作製用の油の適切な基板に転移される。代替的に、素子は、ディスプレイ作製用の発光素子に取り付けられる。

前述の如く、他の好ましい実施態様は、エレクトロルミネセント膜、発光ダイオード、多孔性シリコン又はディスプレイの各ピクセル要素を形成するための発光材料の如く、発光性材料を使用する。そのために、本発明の別の好ましい実施態様は、第16A図におけるエレクトロルミネセント(EL)パネルディスプレイの斜視図において示される。ELディスプレイの基本構成要素は、アクティブマトリックス回路パネル414、底部絶縁体423、エレクトロルミネセント構造416、頂部絶縁体417、及び光透過性電極419を含み、これらは、層化構造において固定される。EL構造416は、2つのプレーナー絶縁層417と423の間に位置付けられ、EL構造を通った直流を容量的に制限する

方の方向において間隔308を有し、直交する方向において間隔312を有する。

別の実施態様において、第13A図の構造300は、第13C図に示された配列を設けるために、方向306、314において同時に引き伸ばされる。

機械的技術は、第14A図と第14B図に示される。テープにおいて素子320のリフトオフ配列で開始される。このテープ322は、輪326に沿って左右に、輪328に沿って上下に移動するフレーム324に置かれる。たわみ性テープ334を有するドラム330は、その周囲に置かれる。それから、器具340が、素子324に押し出され、素子の第1行をドラムテープ334に押し出す。ドラムテープ334は、必要な角度において方向332において指標付けられ、再び、器具340は、間隔338の素子の第2行をテープ334に押し出す。これは、すべての行が転移されるまで繰り返される。素子336の行を有する第1ドラムテープ334は、フレーム324に据えられる。同一動作は、行を新ドラムテープ339に転移することにより繰り返される。

別の実施態様は、一方の方向においてテープを引き伸ばし、これを別のテープに転移させ、他方の方向にそのテープを引き伸ばし、そして素子を最終支持物に転移することである。この方法は、小形の個別素子に対して十分に適用する。

転移又は最終基板において素子304間の距離を測定するためのシステムが、第15図に概略的に示される。レーザー350は、基板354の方向にビーム352を指向させ、線を走査する。センサー356は、透過及び/又は反射光を検出し、ビームが素子304によって遮向され

ことにより、破壊的電気障壁を防止し、そしてまた、信頼性を高めるために役立つ。絶縁体417と423は、高電気障壁を有し、その結果として蛍光体層において熱電子を生成することを必要とする高電界において有益である。ディスプレイの容量構造は、各絶縁体に隣接して薄膜電極を生成することにより形成される。これらの電極の一方は、ピクセル配列422内に形成され、そして他方の電極は、光をディスプレイから出させる光透過性電極419である。

回路パネル414に形成されたピクセル422の配列は、駆動回路によって個別に動作される。回路は、各ピクセル422が、ピクセル電極と電極419の要素の間のエレクトロルミネセント構造416において電界を生ずる如く、配列に隣接して位置付けられた第1及び第2回路構成要素418、420を有する。電界は、EL要素424を照らす。

エレクトロルミネセント構造416は、単色ELディスプレイを有する好ましい実施態様に対して單一蛍光体層から形成される。別の好ましい実施態様において、EL構造416は、カラーディスプレイを設けるために複数のバターン化蛍光体層から形成される。蛍光体層は、各カラーピクセルが、赤、緑、及び青蛍光体要素を含む如くバターン化される。Eしカラーディスプレイは、参照としてここに取り入れた、Barro-wellへの国際出願PCT/U88/01680において開示されたELディスプレイ形成プロセスに基づいて形成される。第16B図を参照すると、各Eし要素424は、赤476、482、緑478と青480の如く单一カラー要素に分割される。

所与のEし要素424に対して單一カラー要素を照らすために、駆動回路は、底面電極462の一つと透明電極419の間に電界を形成さ

せる。選択された照明單一カラー要素に対して、當光体の発光中心は、電界が既知のしきい値を超過する時、熱電子の流れによって衝撃励起される。それ自体、ピクセル422は、ピクセルグループに対して照明カラーを設けるために選択的に作動される。

アクティブマトリックスピクセル配列は、ピクセルの線端を制御するために、ディスプレイにおける各ピクセルと同じ場所に位置するトランジスタ(TFT)を使用する。ELディスプレイに適用された時、アクティブマトリックスアローチは、回路パネルにおけるパワー消散の縮小とAC共鳴ドライバーが動作する周波数の増大を含む大きな利点を設ける。有益なELアクティブマトリックスの形成は、高電圧と高速度で動作するTFTを必要とする。単結晶シリコンは、小形($61n \times 61n$ 以下)のアクティブマトリックスELマトリックスにおいて高解像度を達成するために好ましい。

ELディスプレイにおいて、一つ以上のピクセルが、駆動回路に連結された行及び列相互連結により各ピクセルに並けられる交流(AC)によって供給される。相互連結によるACの効率的な導通は、寄生容量によって制限される。しかし、アクティブマトリックスの使用は、相互連結の容量の大きな縮小を設け、ピクセル當光体におけるより効率的なエレクトロルミネセンスと高亮度を獲得するために、高周波数ACの使用を可能にする。本発明により、この利点を設けるTFTは、パルクSIウェーハ又は単結晶又は本質的単結晶シリコンの薄膜の如く、単結晶ウェーハにおいて形成される。これらの高品質TFTは、ELパネルディスプレイにおいて使用され、高速と低漏れを設けるとともに、エレクトロルミネセンスのために必要な高圧レベルをサポートする。

トランジスタX1におけるゲートが、ソース上のしきい電圧まで上昇されるならば、電流が、正AC駆動パルス中、トランジスタX1を通って流れれる。分路ダイオードD1の存在は、ゲート電圧に拘わらず、逆方向に電流を流れさせ、その結果、高ゲート電圧により、電流は、正及び負連続中、トランジスタX1を通って流れれる。このため、EL層429は、励起されており、そしてゲートが高に保持される限り、照明显れる。ゲートが低、すなわち、しきい電圧V_tよりも低い電圧に保持されるならば、トランジスタX1は、正駆動パルス中導通しない。こうして、EL層429は、一連の負パルスを受け、第1負パルス中パルス端位まで蓄電し、ダイオードD1の整流作用により正パルス中放電を防止される。このため、半一度照明期間の後、EL層429は、全電圧と隔離キャバシタ426bと426cが一定にとどまるために、受動にとどまる。

第16C図に戻ると、回路425の第2のユニークな特徴は、2つの配線のみで制御されることである。第2の特徴は、リチャネルMOSトランジスタ421aとダイオード428の使用を通して、本発明において達成されるものである。ダイオード427は、極方向又は垂直構造として作製され、全面積又は複雑性をあまり付加しない。ダイオード427は、NMOSトランジスタ421aが対称素子であるために必要とされ、回路とディスプレイを不作動にする照明期間中、キャバシタ426aを放電させる。

回路425の性能を保証するために、回路分析が行われた。回路425は、まず、分析において低信号を選択線413(0ボルト)に印加することによりキャバシタ426aを充電させ、それから、(この分析において0.5~2ボルトの範囲において)所望の電圧にデータ線411

好ましい実施態様において、絶縁体(SOI)において形成した単結晶シリコンは、ELディスプレイを駆動するために必要な高圧回路の形成を許容する。さらに具体的には、ISEプロセス又は他のSOIプロセスによって形成された薄膜単結晶シリコンは、TFTのための高圧DMOS回路とともに、ドライバーと他の論理要素のための低電圧CMOS回路の作製を許容する。

EL単色ディスプレイを制御するためのDMOS/CMOS駆動回路構成が、第16C~16D図に示される。各アクティブマトリックスELピクセル回路425は、それぞれ、CMOS及びDMOSトランジスタ(TFT)421a、421bを含む。キャバシタ426a、426bと426cは、AC-EL構造において通常存在する寄生及び隔離キャバシタを表現する。その複雑な外観に拘わらず、各ピクセル回路425は、最大1000線/インチの配列密度でさえ、ピクセル領域の小部分のみを実際に占有する。EL単色ディスプレイのための駆動回路は、簡略化の目的のみのために示される。ELカラーディスプレイに対して、各ピクセルの駆動回路は、赤、緑又は青色要素を駆動するために選択的に作動される3つのピクセル回路425を異にする。

第16C図を参照すると、ピクセル回路425の2つのユニークな見地がある。第1は、駆動回路の出力におけるDMOSトランジスタ421bの使用により、ELディスプレイが428におけるAC駆動信号で駆動されるものである。この特徴は、DMOSトランジスタを考慮することにより認められる。

第16D図を参照すると、DMOSトランジスタ421bの等価回路が、分路ダイオードD1を有するNMOS素子X1を含む。NMOSト

を上昇させることにより動作する。充電シーケンスの後、キャバシタ426aは、データ及び選択線信号レベルの間の差にはほぼ等しい電圧からダイオード427の順電圧降下を差し引いた電圧まで充電される。出力トランジスタ421bをオンにするために、選択線413は、最初に、約1ボルトまで増大され、そしてデータ線411は、-2ボルト~-0ボルトにランプされる。出力トランジスタ421bは、キャバシタ426bに充電された電圧に正比例する時間に対してオンのままである。このようにして、グレースケールが、回路425によって達成される。

好ましいELディスプレイ形成プロセスは、単結晶シリコン層の形成、シリコン層におけるアクティブマトリックス回路の作製、及び発光性要素を形成するためのEL材料の一体化を含む。そのために、第17A~17K図は、シリコンオン絶縁体(SOI)膜を形成するための分離シリコンエビタクシー(ISE)プロセスとともに、回路パネル回路を形成するためのISE膜における高圧DMOS素子と低圧CMOS素子を作製するためのプロセスを示す。なお、ISEプロセスが示されるが、任意の数の技術が、単結晶SIの薄膜を設けるために使用される。

第17A図に示されたものの如く、SOI構造は、基板430と、基板430上に成長又は堆積された(例えば、SiO₂の如く)酸化物432を含む。多結晶シリコン膜は、酸化物432において堆積され、そしてポリSI膜は、(例えば、SiO₂の如く)キャッピング層436でキャップされる。構造は、融点の近くまで加熱され、そして薄い可動条件加熱器(第4回)が、ウェーハの頂面上を走査する。加熱器は、酸化層の間にトラップされたシリコン膜を溶解させ、再結晶させ、全領域単結晶シリコン膜434を生ずる。

シリコン434の薄单結晶層は、こうして、酸化物（又は绝缘体）がSi表面層の下に埋め込まれる如く、酸化層432上に形成される。ISE SOI構造の場合、キャッピング層が除去された後、頂部層は、本質的単結晶の再結晶化シリコンであり、これからCMOS回路が作製される。埋め込み绝缘体の使用は、従来のパルク材料において獲得されたよりも高速の素子を設ける。150万を超えるCMOSトランジスタを含む回路が、ISE材料において成功裏に作製された。

第17B図に示された如く、シリコン膜434は、各ビセルに対して個別アイランド437、438を規定するようにパターン化される。それから、酸化層435が、アイランド437と438の間のチャネル448を含むパターン化領域上に形成される。ワインウェル試験プロセスが、p及びnウェルを形成するために使用される。nウェルを形成するために、重化ケイ素アイランド439が、pウェルであると指定されたアイランド438を分離するために形成される（第17C図）。残りのアイランド437は、接着して、nウェル441を形成するためにn形ドーパントを注入される。pウェルを形成するために、厚酸化層442が、p形ドーパント443からアイランドを分離するためにnウェル上に成長され、そして重化ケイ素アイランドが、除去される（第17D図）。非分離アイランドが、pウェル444を形成するために、n形ドーパント443を注入される。ワインウェル形成に統いて、厚酸化膜が、活性領域を形成するために、シリコンアイランド441と444の表面層上に成長される。さらに具体的には、酸化層446は、比較的均一な厚さまでエッティングされ、そして重化ケイ素アイランド447が堆積される（第17E図）。次に、厚酸化膜が、早いLOCOSフィールド酸化

ールド酸化物上のポリシリコンゲートとフィールド酸化物の間の塗り墨である。DMOS素子における電流移動度はまた、これらのパラメータの幾つかの測定であるとともに、素子の全サイズの測定である。好みしい実施態様は高密度配列（1Mビクセル/ mm^2 ）を含むために、ビクセル面積と、このため、トランジスタサイズは、できる限り小さく保持される。

第17L図を参照すると、回路パネルは、随意に基板430から除去され、及し蛍光体を形成したガラス層431に転移される。除去プロセスは、前実施態様において記載された如く、CEL、CLEFT、又はバックエッチング及び/又はラッピングを具備する。

第18A～18D図は、エレクトロルミネセントカラーディスプレイの作製プロセスの詳細を示す。前述の如く、この作製プロセスは、参照としてここに取り入れた、Barrowes社への国際出願PCT/US88/01680において開示された旨しカラーディスプレイ形成プロセスに基づく。ELディスプレイ形成プロセスは、単色又はカラーディスプレイであろうと、発光性薄膜 STACKの層の逐次堆積を具備する。蛍光体層は、各カラービセルが、赤、緑、及び青蛍光体要素を含む如くパターン化される。赤色は、赤成分のみを選択するために、黄色ZnS:S:Mn蛍光体層でろ過することにより獲得される。緑及び青蛍光体要素は、所望のスペクトル領域における発光のために、Mn以外の成分を有する。

ELディスプレイの第1層は、底部電極である。好みしいELディスプレイ形成プロセスにおいて、底部電極は、駆動回路においてトランジスタのソース又はドレイン金属化を具備する。この電極は、ELパネル

物領域451の間に活性領域450を形成するために、シリコンアーランド441と444の表面の回りに成長される（第17F図）。それから、ポリシリコンは、高圧DMOS素子のゲート453と低圧CMOS素子のゲート454を形成するために堆積され、パターン化される（第17G図）。なお、DMOS素子のゲート453は、フィールド酸化物領域451上の活性領域450から延びている。活性領域450上のゲート453の端は、nチャネル試験のための試験線として使用され、フィールド酸化物領域451上のゲートの部分は、nウェルドリフト領域において電界を制御するために使用される。

チャネル試験に統いて、nチャネルとpチャネルソース456、459とドリフト領域457、460が、ヒ素とホウ素の注入を使用して形成される（第17H～17J図）。次に、ポロフォスフォロシリケートガラス（BPSG）フロー層458が、形成され、そして開口が、DMOS素子のソース456、ドレイン457とゲート453とともに、CMOS素子のソース459とドレイン460に接続するように、BPSG層458を通して形成される（第17K図）。さらに、アルミニウム、タンクステン又は他の適切な金属のパターン化金属被膜462が、素子を他の四隅パネル構成要素に連絡するために使用される。好みしいプロセスは、9つのマスクを具備し、高圧DMOS素子と低圧CMOS素子の作製を評価する。

DMOS素子の高圧特性は、構造の横つかの次元とともに、堆積されたpチャネル及びnチャネルドリフト領域のドーピング濃度による。重要な物理的次元は、nウェルドリフト領域の長さ、活性領域におけるポリシリコンゲートの端と下側フィールド酸化物の端の間隔、及びフィ

の発光効率を増大させるために、所望の波長の高反射のために最適化される。第18A図を参照すると、作製プロセスは、底部绝缘体423の堆積で始まり、好みしくは、四隅パネル414のアクティブマトリックスの全表面を覆う。第1カラー蛍光体層476は、アクティブマトリックス上に堆積され、パターン化される。第1エッチストップ層477が堆積され、そして第2カラー蛍光体層478が、堆積され、ストップ層上にパターン化される（第18B図）。第2エッチストップ層479が、堆積され、第3カラー蛍光体層480が、堆積され、第2ストップ層上にパターン化される。

第18C図を参照すると、パターン化蛍光体層416の配列は、頂部绝缘体417で被覆される。2つの绝缘層417と423は、頂部電極とアクティブマトリックス四隅パネルの間の連続点を露出させ、そしてまた、外部連結が駆動回路に作られる領域から材料を除去するためにパターン化される。重化インジウムすずの如く光透過性材料から形成した頂部電極419が、堆積され、頂部绝缘体417上にパターン化される（第18D図）。頂部電極の堆積は、蛍光体416とアクティブマトリックス回路414の間の回路を完成するために役立つ。それから、赤フィルター482が、堆積され、赤ビセル上にパターン化され、又は代替的に、カバーが使用されるならば、シールカバー板に埋め込まれる。赤フィルター482は、所望の赤色を生成するために出力されたZnS:Mn蛍光体（黄色）の所望の赤部分を透過させる。

代替的に、EL薄膜STACKは、アクティブマトリックス回路パネルが、前述の転移プロセスによって転移されるガラス又は他の基板上に形成される。さらに別のオプションは、ヘルメット装着まげきしの湾曲表

面の如く、別の材料への回路パネルとEL STACKの両方の転移を具備する。

支持基板から異なる材料へのシリコンの遷移を転移かつ接着させるための好ましいプロセスは、第19A～19B図に示される。このプロセスは、薄膜シリコン（第17A～17L図）又は全E Siディスプレイ（第18A～18D図）において形成した回路パネルを転移させ、かつガラスの如く異なる材料又は材料の背面表面に接着するために使用される。

第19A図を参照すると、開始端末は、酸化層516と単結晶シリコン514の薄膜が、ISE又はCLEFTの如く前述の技術の任意を使用して形成されるシリコンウェーハ500である。ピクセル電極、TFT、ドライバーと論理回路の如く複数の回路511が、薄膜シリコン514において形成される。それから、SOI処理ウェーハは、接着剤520を使用して、ガラス又は他の透明绝缘体又は材料の背面表面の如く上層512に接着される。

それから、ウェーハは、清浄され、そして自然酸化物が、裏面518からエッチングされる。ウェーハは、浓度（KOH又は等価液）に入れられる。エッティング液は、酸化物において非常に低いエッティング率を有し、その結果、基板がエッチングされ、埋め込み酸化物が露出される時、エッティング率は低下する。KOHにおけるシリコンエッティング率剤KOHにおける酸化物エッティング率の選択性は、非常に高い（200：1）。この選択性は、シリコンエッティングの一様性と組み合わされ、エッターガプロセスを頻繁に、その上の薄いシリコン層514まで貫通することなく、埋め込み酸化層516において停止すること可能にする。

最大25ミル厚のウェーハと4000Åの深い酸化物が、このプロセスを使用して成功裏にエッティングされた。代替的なエッティング液は、異なるエッティング選択性を有するヒドラジンである。

ガラス512に転移された薄膜514は、水洗いされ、乾燥される。回路511内に避けられていないならば、裏面回路処理される。また、所望ならば、裏は、別の基板に転移され、そしてガラス上層がエッティングされ、後で回路処理のためにウェーハの前面へのアクセスを許容する。

第20A～20B図は、GeSiが中间エッティングストップ層として使用される、代替的シリコン薄膜転移プロセスを示す。第20A図を参照すると、このプロセスにおいて、シリコンバッファー層526が、公知のCVD又はMBE成長システムを使用して、単結晶シリコン基板528において形成され、続いて、薄いGeSi層524と深い単結晶シリコン素子又は回路層532が形成される。それから、層は、TFT又はピクセル電極602の如く回路を形成するために前述の方法でIC処理される。次に、処理ウェーハは、エポキシ接着剤を使用して、ガラス又は他の支持物680上に取り付けられる。エポキシは、前処理によって形成された空げきを充填し、裏面を上層680に接着させる。

次に、厚シリコン基板528とシリコンバッファー526は、GeSi層524に影響しないKOHで、エッティングすることにより除去される（第20B図）。最後に、シリコン素子に影響しないGeSi層524が、選択的にエッティングされる。

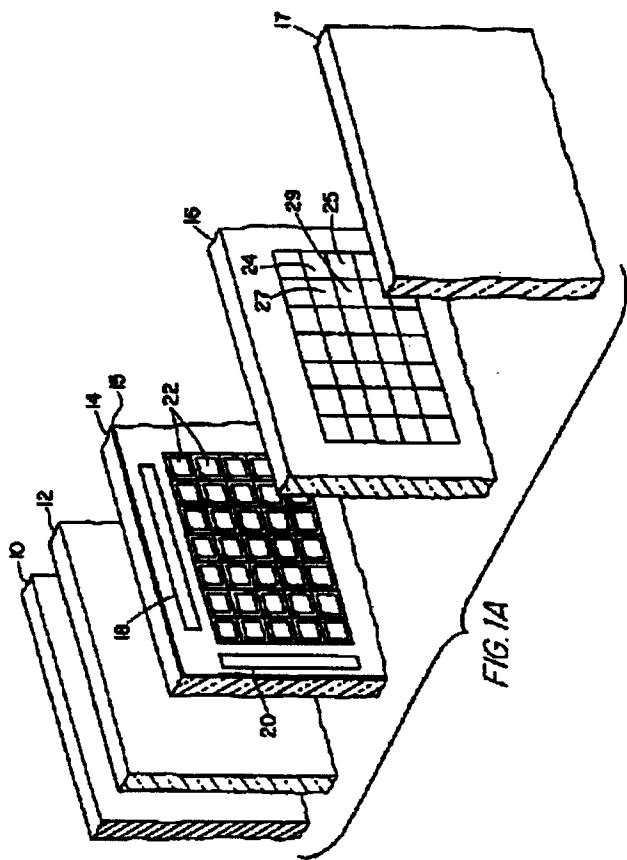
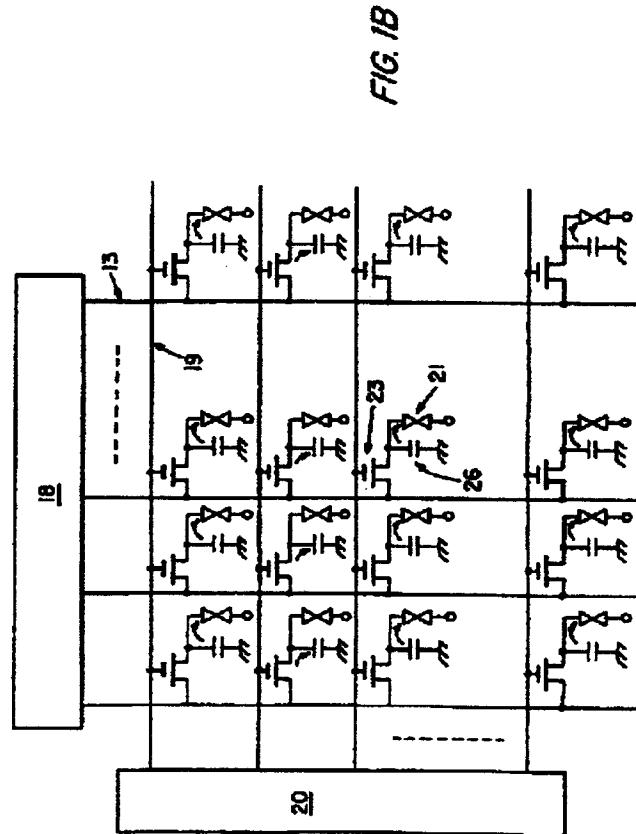


FIG. 1A



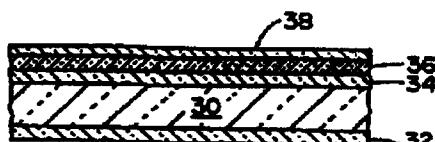


FIG. 2A

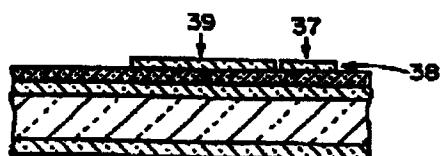


FIG. 2B

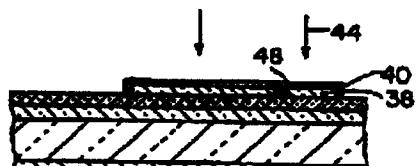


FIG. 2C

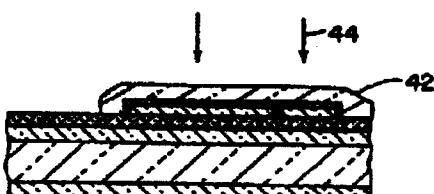


FIG. 2D

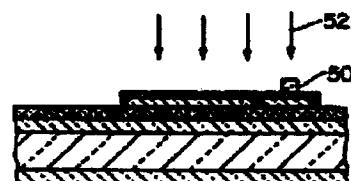


FIG. 2E

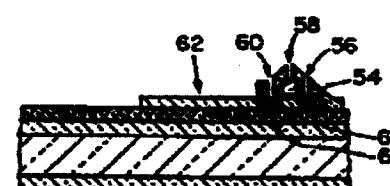


FIG. 2F

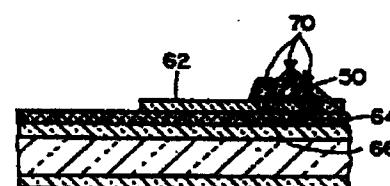


FIG. 2G

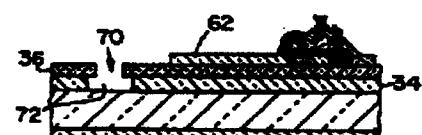


FIG. 2H

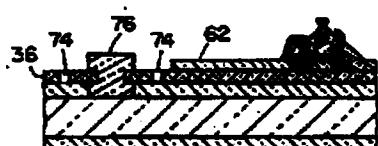


FIG. 2I

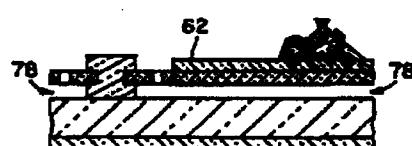


FIG. 2J

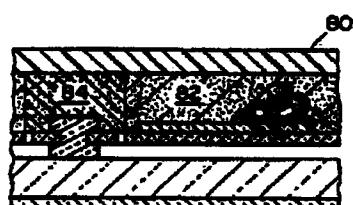


FIG. 2K

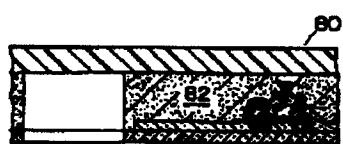


FIG. 2L

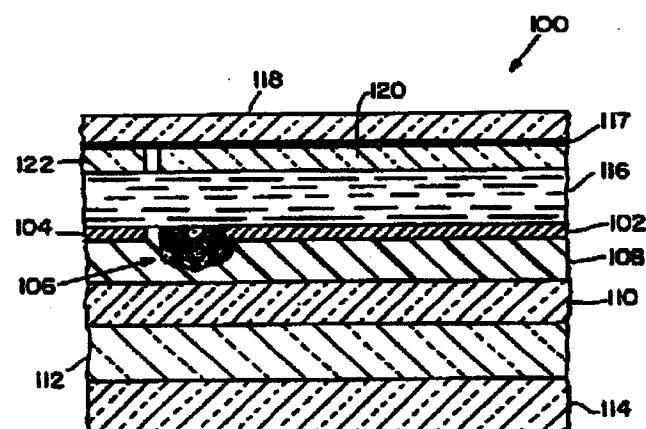


FIG. 3

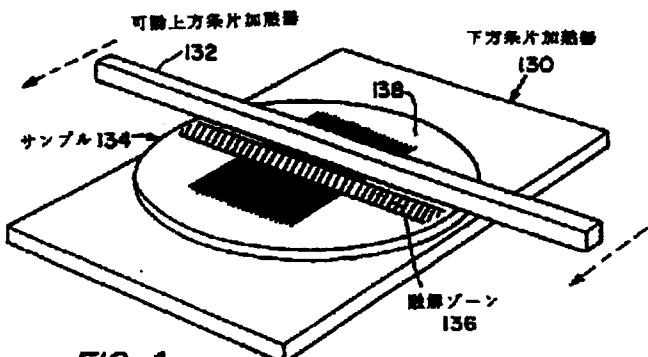


FIG. 4

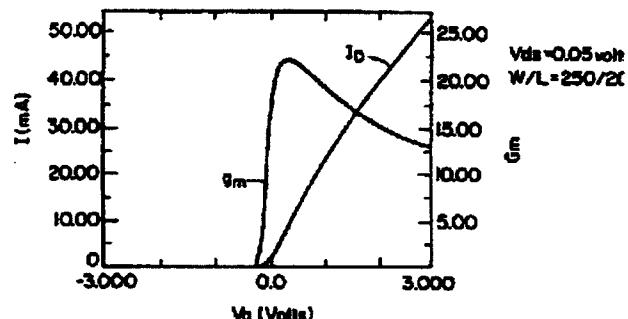


FIG. 6A

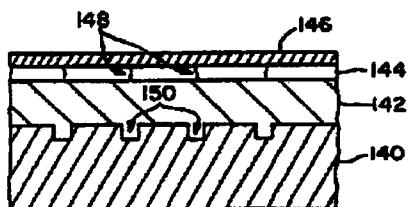


FIG. 5A

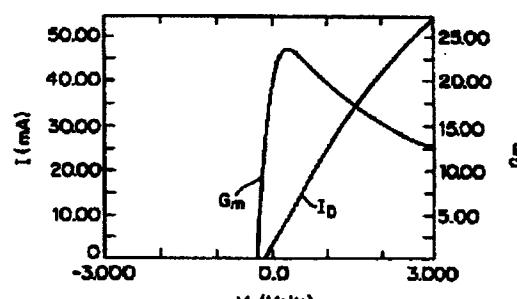


FIG. 6B

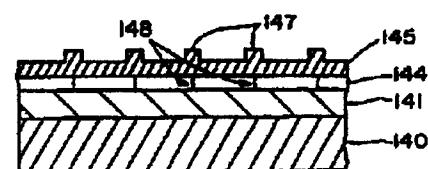


FIG. 5B

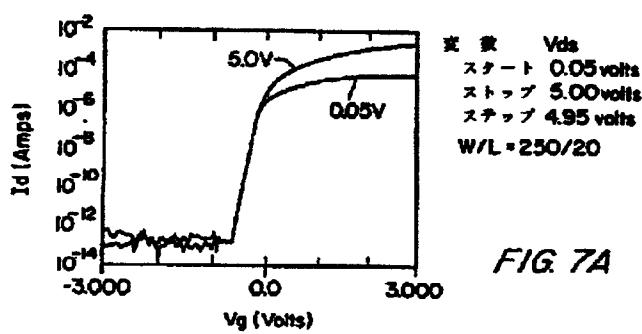


FIG. 7A

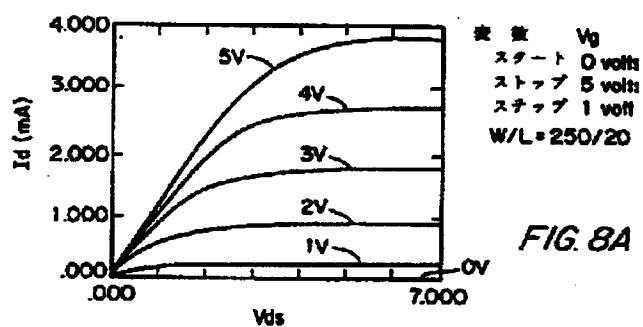


FIG. 8A

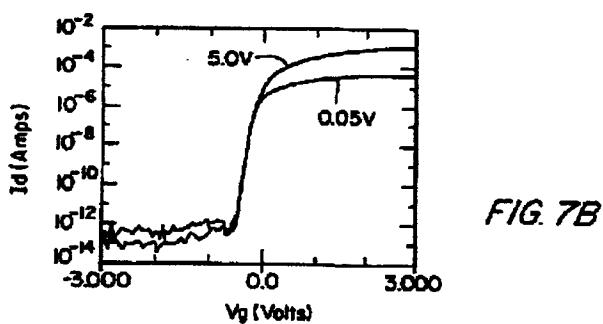


FIG. 7B

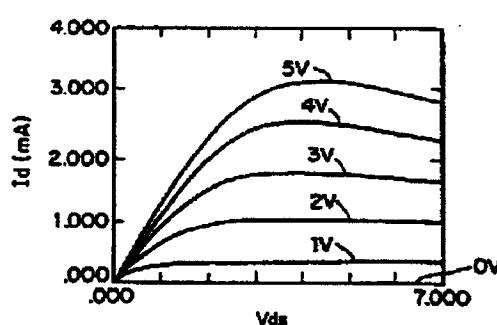


FIG. 8B

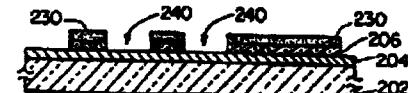
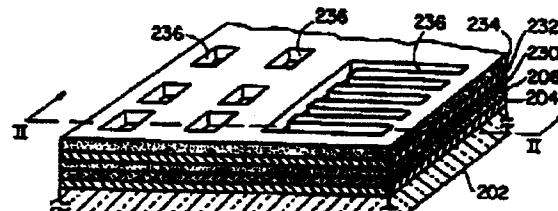
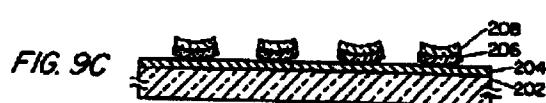
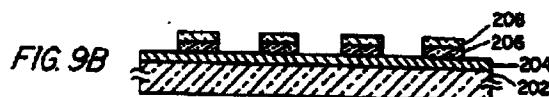
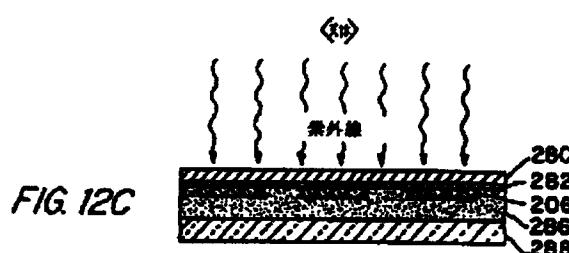
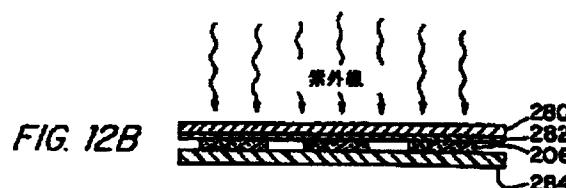
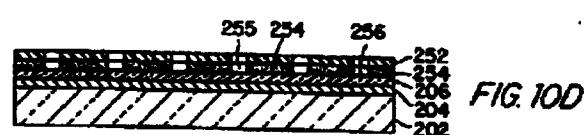
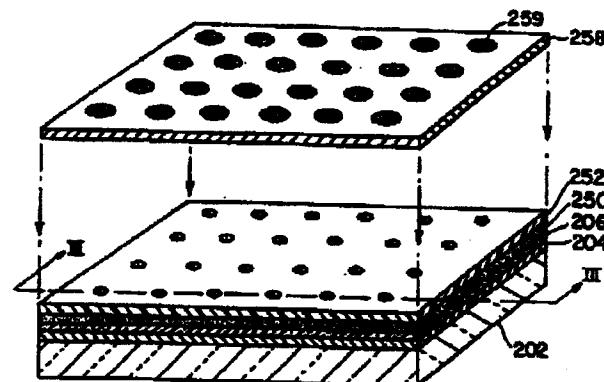
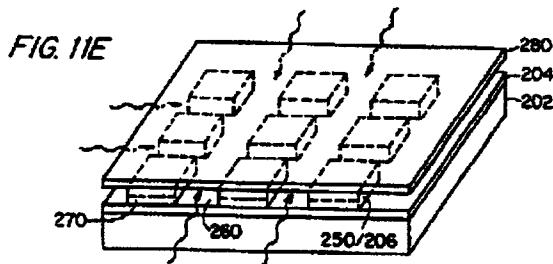
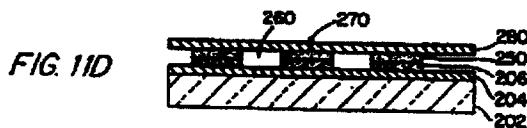
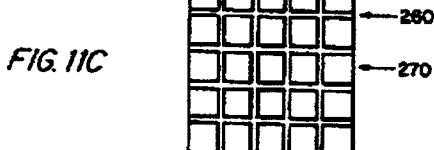
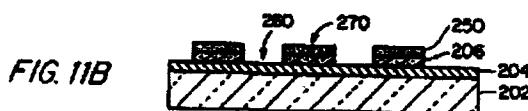
**FIG. 10B**

FIG. 13A

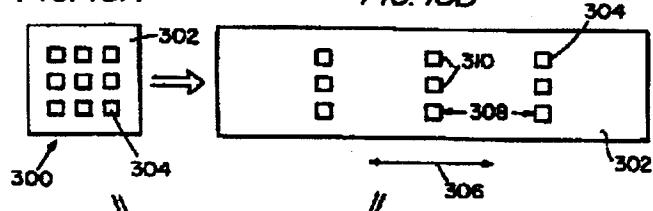


FIG. 13B

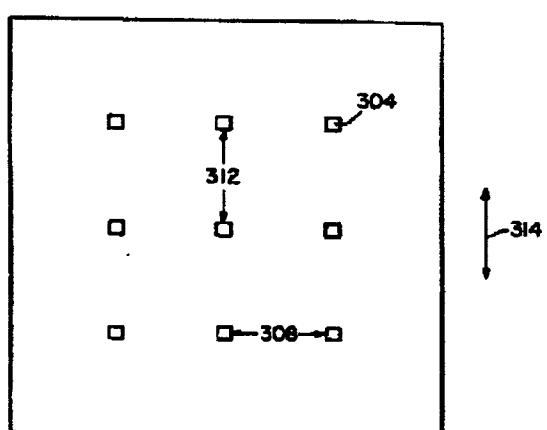
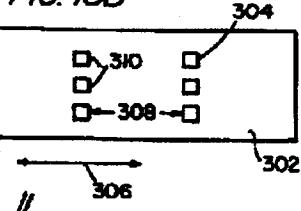


FIG. 13C

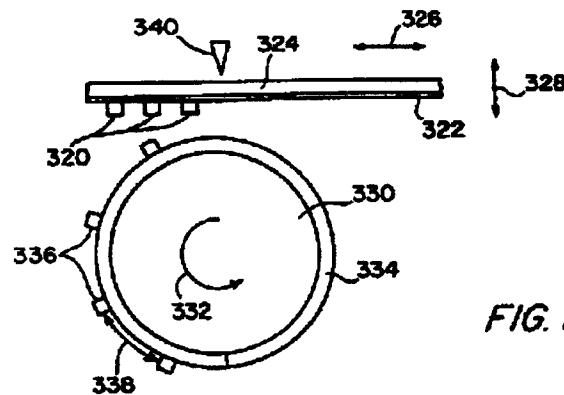


FIG. 14A

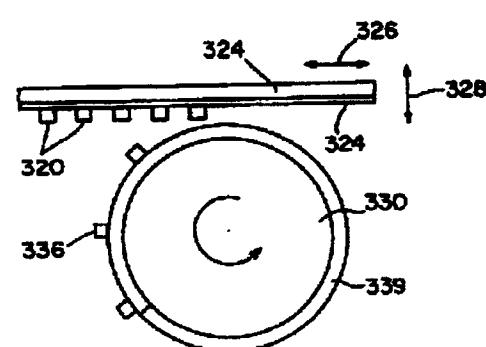


FIG. 14B

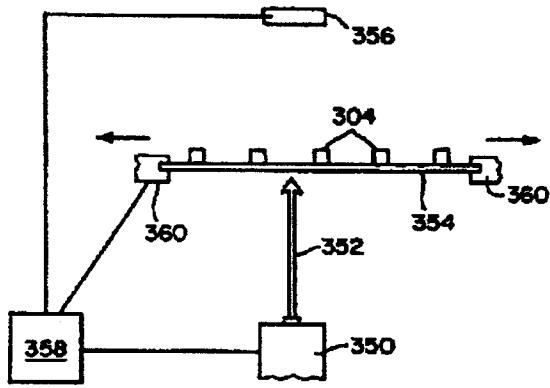


FIG. 15

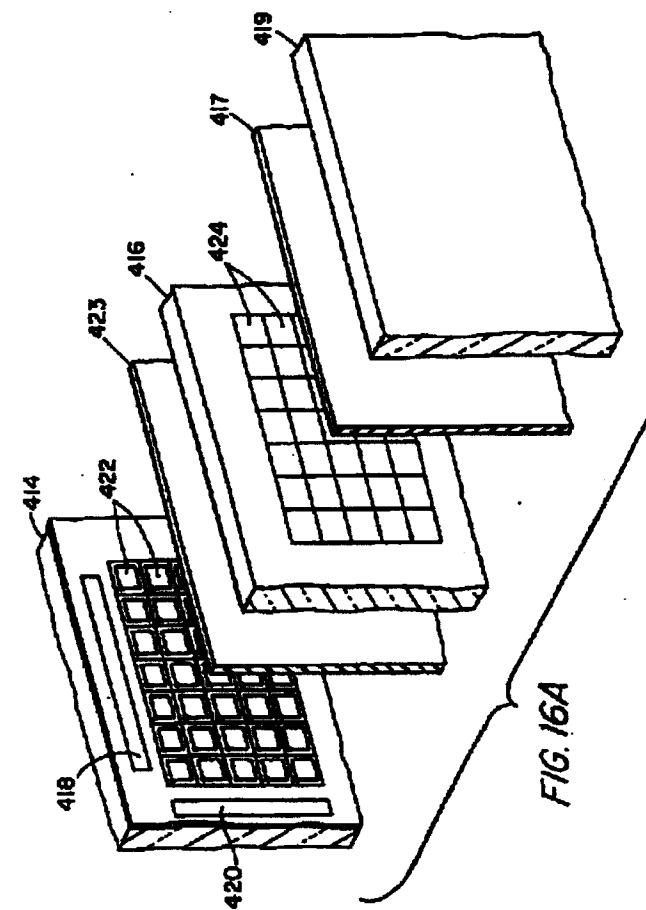


FIG. 16A

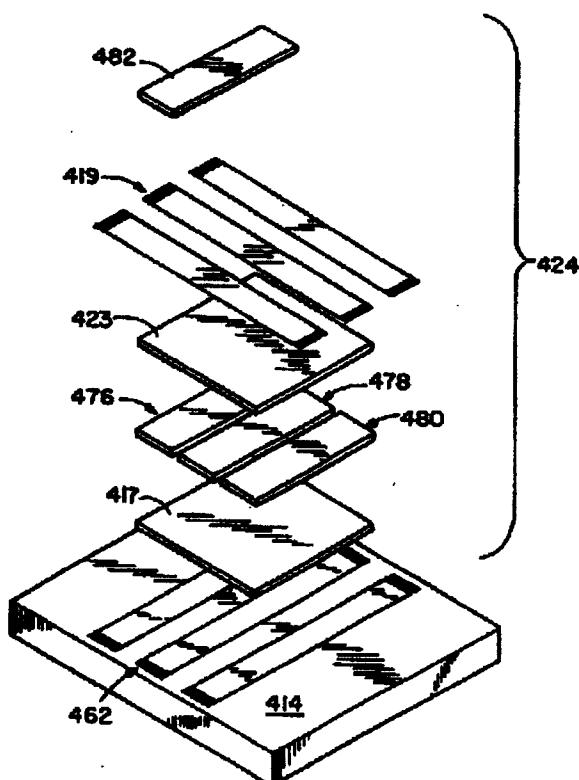


FIG. 16B

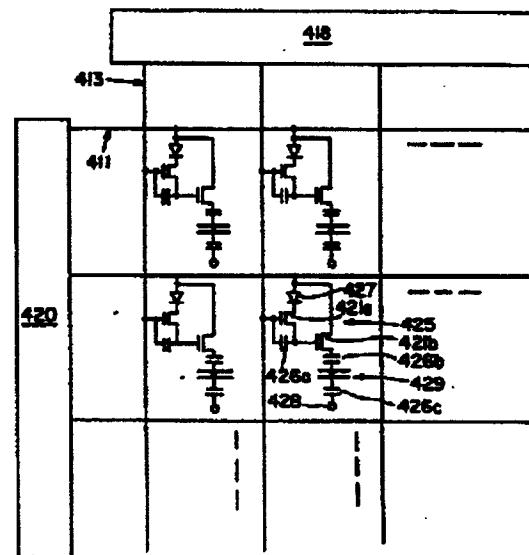


FIG. 16C

FIG. 16D

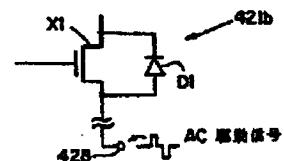


FIG. 17A



FIG. 17B

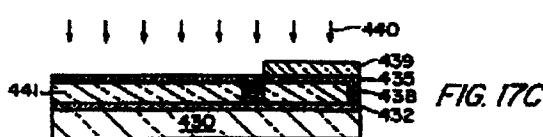


FIG. 17C

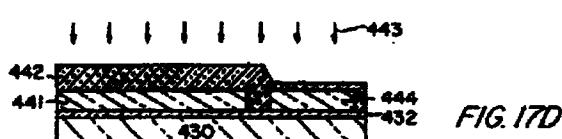


FIG. 17D



FIG. 17E

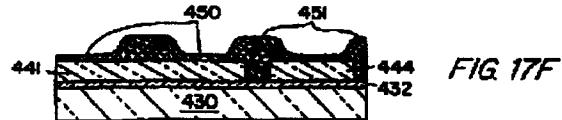


FIG. 17F



FIG. 17G



FIG. 17H



FIG. 17I



FIG. 17J

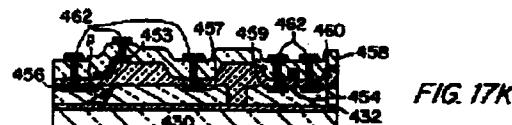


FIG. 17K



FIG. 17L



FIG. 18A

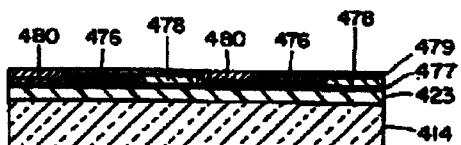


FIG. 18B

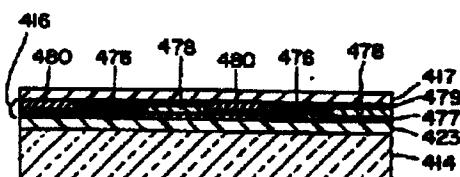


FIG. 18C

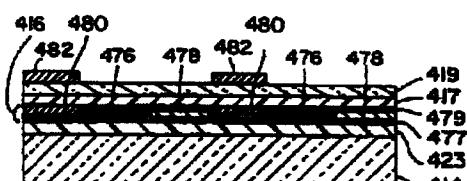


FIG. 18D

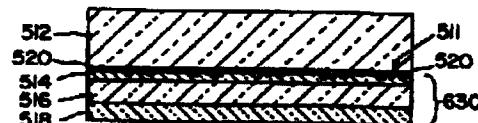


FIG. 19A



FIG. 19B

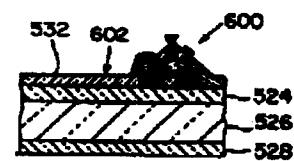


FIG. 20A



FIG. 20B

補正書の写し（翻訳文）提出書（特許法第184条の8）

平成5年6月29日

特許庁長官 麻生 波 譲

1. 特許出願の表示

PCT/US91/09770

2. 発明の名称

表示パネル用の单結晶シリコン配列素子

3. 特許出願人

住所 アメリカ合衆国マサチューセツ州02780トントン・マイルズスタンディッシュシティアルパーク・マイルズスタンディッシュシユーブールバード695

名称 コビン・コーポレーション

4. 代理人 〒107

住所 東京都港区赤坂1丁目9番15号

日本自販草会館

氏名 (6078)弁理士 小田島 平吉

電話 3585-2258



5. 補正書の提出年月日

1992年12月24日

6. 送付書類の目録

(1) 補正書の写し（翻訳文）



第8A図は、ゲート電圧が0～5ボルトで変化する、第6A図の素子のドレイン電流出力を示す。

第8B図は、ゲート電圧が0～5ボルトで変化する、第6B図の素子のドレイン電流出力を示す。

第9A～9C図は、発明によるリフトオフプロセスを示す一連の断面図である。

第10A図は、発明の別の実施態様による、リフトオフ処理中のウェーハの部分斜視図である。

第10B図は、プロセスにおける段階後、リフトオフ構造の第10A図の段落Ⅰ～Ⅱに沿って取った断面図である。

第10C図は、レジストレーションが維持される別の実施態様において、リフトオフ処理中のウェーハの一部の部分斜視図である。

第10D図と第10E図は、リフトオフプロセスにおけるさらに他の段階後の第10C図の構造の断面を示す。

第11A～11E図は、発明によるリフトオフ手順のプロセスフローにおける各段階中のウェーハの略図である。

第12A～12C図は、発明の別の好ましいリフトオフ手順の略断面図である。

第13A～13C図は、発明による転移の好ましい方法を概略的に示す。

第14A図と第14B図は、発明によるさらに他の転移方法を概略的に示す。

請求の範囲

1. パネルディスプレイを作製する方法において、

- a) 支持基板上の絶縁層において本質的単結晶半導体材料を形成することと、
- b) 表示ピクセルの回路パネルを形成するように、本質的単結晶材料において又は上にトランジスタの固定配列を形成することと、
- c) 支持基板から第2基板に回路パネルを転写することと、
- d) 各ピクセルが少なくとも一つのトランジスタによって作動可能であり、各ピクセル電極によって発生された電界又は信号が光透過性材料の光学特性を変更する如く、回路パネルの表示ピクセルの固定配列において形成したピクセル電極に接続して光透過性材料を位置付けることを含むことを特徴とする方法。

2. 絶縁層a)が、支持基板において非単結晶の半導体材料を形成することと、本質的単結晶材料を形成するために非単結晶の半導体材料を結晶化することを含む請求の範囲1に記載の方法。

3. 本質的単結晶半導体材料を形成する段階が、多數の結晶が、膜を通して前に延びている平面において、少なくとも約0.5 cm²の断面積に広がる膜を形成することを含む請求の範囲1に記載の方法。

4. 第2基板が、光透過性基板である請求の範囲1に記載の方法。

5. 各トランジスタが電動回路に電気的に連絡される如く、本質的単結晶半導体材料において又は上に電動回路を形成することをさらに含む請求の範囲1に記載の方法。

6. 転移段階が、さらに、本質的単結晶材料から支持基板を化学的にエッティングすることを含む請求の範囲4に記載の方法。

15. 本質的単結晶半導体材料が、単結晶シリコンを具備する請求の範囲13に記載のパネルディスプレイ。

16. 本質的単結晶半導体材料が、多數の結晶が、膜を通して前に延びている平面において、少なくとも約0.5 cm²の断面積に広がる膜である請求の範囲13に記載のパネルディスプレイ。

17. 回路パネルを光透過性基板に固定するための貼合せ材料をさらに具備する請求の範囲13に記載のパネルディスプレイ。

18. 電極が、光透過性材料の面と位置合わせされた電極の光透過性配列を具備し、各光透過性電極が、トランジスタの一つに電気的に連絡される請求の範囲13に記載のパネルディスプレイ。

19. 光透過性材料が、液晶を具備する請求の範囲13に記載のパネルディスプレイ。

20. 光透過性材料が、発光性材料を具備する請求の範囲13に記載のパネルディスプレイ。

21. 発光性材料が、エレクトロルミネセント材料を具備する請求の範囲20に記載のパネルディスプレイ。

22. トランジスタが、約5000Hzなしに約10,000Hzの駆動周波数において動作する請求の範囲20に記載のパネルディスプレイ。

23. 駆動回路が、本質的単結晶材料の周囲において形成され、駆動回路が、隣接トランジスタを作動させることにより、各ピクセルを選択的に作動させることができる如くトランジスタに電気的に連絡され、各作動されたトランジスターに連絡された隣接ピクセル電極が、光透過性材料に電界を生成させる請求の範囲14に記載のパネルディスプレイ。

7. 転移段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲4に記載の方法。

8. 光透過性材料が、液晶を具備する請求の範囲1に記載の方法。

9. 光透過性材料が、発光性材料である請求の範囲1に記載の方法。

10. 発光性材料が、エレクトロルミネセントである請求の範囲に記載の方法。

11. 位置付け段階が、各ピクセルにおいて発生された電界が、光透過性電極とピクセル電極の間にある如く、光透過性材料上の光透過性電極配列を位置付けることを含む請求の範囲1に記載の方法。

12. 本質的単結晶半導体材料が、光透過性基板の周囲面に転写される請求の範囲4に記載の方法。

13. 支持基板と、

基板に固定され、トランジスタの固定配列とピクセル電極の配列を具備し、各電極が少なくとも一つのトランジスタに電気的に連絡され、トランジスタが、絶縁層における本質的単結晶半導体材料の層において又は上にトランジスタの固定配列として形成されている回路パネルと、

各ピクセルによって発生され、光透過性材料に印加された電界又は信号が光透過性材料の光学特性を変更する如く、絶縁層上に電極に接続して位置付けられた光透過性材料と、

ピクセルを作動させるように回路パネルに電気的に連絡された駆動回路とを具備することを特徴とするパネルディスプレイ。

14. トランジスタ配列とピクセル電極配列が、本質的単結晶半導体材料の周囲面において又は上に形成される請求の範囲13に記載のパネルディスプレイ。

24. 発光性材料が、複数の領域を具備し、各領域が、異なる色において発光する請求の範囲20に記載のパネルディスプレイ。

Category	Classification Decision, explanation, classification, or other information placed	Number of Words (a)	
		(b)	(c)
V	US.A.4 255 223 (PARME) 5 May 1981 see column 1, line 66 - column 2, line 17; Figures 3.2	37,18, 21,22, 22-26, 33,35	
A	US.A.4 222 047 (BUDLEB) 23 February 1986 cited in the application see column 16, line 4 - line 49; Figures 23	1,2	
A	EP.A.8 151 300 (THE SECRETARY OF STATE) 14 August 1986 see page 18 - page 17		3

廣東革命博物館

15 3205770
51 1970

This annex lists the proven family histories relating to the patient discussed above in the aforementioned interventional research report. The numbers are as contained in the European Patient Index (EPI) for us. The European Patient Index is a unique identifier given to each participant for the purpose of follow-up. The EPI index

フロントページの続き

(72)発明者 マツクレランド、ロバート
アメリカ合衆国マサチュセッツ州02061ノ
ーウエル・パークヒルドライブ50
(72)発明者 ジャコブセン、ジエフリー
アメリカ合衆国カリフォルニア州95023ホ
リスター・テピストレイル501

(72)発明者 ディングル、ブレンダ
アメリカ合衆国マサチュセッツ州02766ノ
ートン・モーガンレイン5
(72)発明者 スピツツアー、マーク
アメリカ合衆国マサチュセッツ州02067シ
ヤロン・ミンクトラップロード2